

(19)日本国特許庁(JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表平9-507731

(43)公表日 平成9年(1997)8月5日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I
H 0 4 L 12/28		9466-5 K	H 0 4 L 11/20 D
	12/46	8843-5 G	H 0 4 Q 3/00
H 0 4 Q 3/00		9560-5 K	H 0 4 L 11/00 3 1 0 C

審査請求 未請求 予備審査請求 有

(全91頁)

(21)出願番号 特願平7-519271
(86)(22)出願日 平成7年(1995)1月20日
(85)翻訳文提出日 平成8年(1996)7月22日
(86)国際出願番号 PCT/CA95/00029
(87)国際公開番号 W095/20282
(87)国際公開日 平成7年(1995)7月27日
(31)優先権主張番号 9401092.3
(32)優先日 1994年1月21日
(33)優先権主張国 イギリス (G B)

(71)出願人 ニューブリッジ・ネットワークス・コーポ
レイション
カナダ国 オンタリオ ケイ2ケイ 2イー
6 カナタ マーチ・ロード 600 ピー・
オー・ボックス 13600
(72)発明者 バーウェル, ウェイン
カナダ国 オンタリオ ケイ1アール 5エ
イチ2 オタワ リスガー・ストリート
505
(74)代理人 弁理士 北村 修 (外1名)

最終頁に続く

(54)【発明の名称】コンピュータ通信ネットワーク

(57)【要約】

コンピュータ通信ネットワークは、ATMセルが伝送されるWAN又はLANエリア・ネットワークを形成する相互接続された複数のATMスイッチ(1a, 1b, 1c)と、単数又は複数のローカル・エリア・ネットワーク(LANs)への接続用のLANインターフェース・アダプタを備えた装置(8, 9, 10, 11, 14)とを有している。インターフェース装置(6a, 6b, 6c)によって、前記ATMスイッチの内のいくつかをそれぞれ前記LANインターフェース・アダプタに接続する。このインターフェースは、前記LANフレームを、前記ATMネットワークでの伝送用に適応させる。これにより、ユーザ側の装置はこれらのLANインターフェース・アダプタを介して透過的にワイド・エリア・ネットワークと通信できる。

【特許請求の範囲】

1. ATMセルを伝送するための複数の相互接続ATMスイッチのネットワークと、単数又は複数のローカル・エリア・ネットワーク（LAN）への接続用のLANインターフェース・アダプタを有する複数のユーザ側装置とを有するコンピュータ通信ネットワークであって、前記複数のATMスイッチの少なくともいくつかは、インターフェース手段によって前記LANインターフェース・アダプタに接続され、前記インターフェース手段が、前記ATMセルを前記LANによる伝送用に適合させ、これによって、前記ユーザ側装置が、前記LANインターフェース・アダプタを介して透過的に前記ネットワークと通信可能に構成されているネットワーク。
2. 請求項1のコンピュータ通信ネットワークであって、前記インターフェース手段は、前記ATMセルを、前記ユーザ側装置へ直接に伝送するべく、前記LANフレーム中にてカプセル化する手段である。
3. 請求項2のコンピュータ通信ネットワークであって、前記LANインターフェース・アダプタは、イーサネット・アダプタであって、前記カプセル化手段は、前記ATMセルを、前記イーサネット・アダプタに伝送するべく、イーサネット・フレーム中にてカプセル化する。
4. 請求項1のコンピュータ通信ネットワークであって、前記インターフェース手段は、前記全ユーザ側装置間の透過通信を許容するため、ブリッジング、ネットワーク層転送及びLANエミュレーション機能を提供する。
5. 請求項1のコンピュータ通信ネットワークであって、該ネットワークは、更に、前記ATMスイッチの少なくとも一つに接続されたネットワーク・マネージャを有し、このネットワーク・マネージャは、そのオペレータが前記ネットワークを環境設定することを許容する。
6. 請求項1のコンピュータ通信ネットワークであって、該ネットワークは、更に、前記ATMネットワーク・スイッチの一つに接続されたルート・サーバ手段を有し、このルート・サーバ手段は、前記ATMネットワークを含む仮想LANを形成する管理情報を有している。

7. 請求項1のコンピュータ通信ネットワークであって、更に、前記インターフェース手段の遠隔モニタを許容するためのモニタ手段を有し、該遠隔モニタ手段

が、被モニタ・ポートから遠隔モニタ・ポートへの、エラーを含むデータを、前記遠隔モニタ・ポートにおける前記被モニタ・ポートからのデータを複製するデータを伝送し、これによって、前記被モニタ・ポートにおいてあたかも現場におけるようなテストを行うことを可能に構成されている。

8. 請求項4のコンピュータ通信ネットワークであって、更に、受け取ったモニタ・パケットにタグを付けて、これらのパケットが、前記受信インターフェース手段によって正常に受け取られたパケットとして扱われることを防止する手段を有している。

9. 請求項1のコンピュータ通信ネットワークであって、更に、前記インターフェース手段と前記ユーザ側装置との間でトークンを交換する手段を有し、これによって、このトークンが前記インターフェース手段に戻される前に、該トークンを受け取った装置によって一定量のデータが送られ、その後、この装置が、前記トークンをパスする前に、一定量のデータを送り出す。

10. ATMコンピュータ通信ネットワークを、複数のローカル・エリア・ネットワーク(LAN)アダプタとインターフェースさせるための装置であって、それぞれのローカル・エリア・ネットワーク・アダプタへ

の接続用の複数のポートと、これらのポートの内の一つにおいて入力LANフレームを受け取るための手段と、出力ATMセルを作るためのATMセグメント化手段と、前記ATMネットワークから入力ATMセルを受け取るための手段と、入力ATMセルからLANフレームを再アセンブルするためのリアセンブル手段と、出力LANフレームを選択された前記ポートに伝送するためのフレーム・キューイング伝送手段とを有している。

11. 請求項10の装置であって、更に、前記LAN受取手段からのローカルLANトラフィックを、前記LANフレーム・キューイング伝送手段に向けるため

のバイパス手段を有し、これによって前記装置はブリッジとして機能可能に構成されている。

12. 請求項11の装置であって、更に、前記ポートにおいて入力及び出力LANフレームをバッファするためのバッファ手段を有し、このバッファ手段が、入力LANフレーム中のMACヘッダを読み取るための手段を有している。

13. 請求項11の装置であって、前記バッファ手段は前記ATMセグメント化手段に対してnビット幅のバスでデータを出力し、前記装置は、更に、前記バス

手段と前記ATMセグメント化手段との間のDMAパケット伝送を確実にするためのトランスレーション・エンジン

を有している。
14. 請求項13の装置であって、前記トランスレーション・エンジンは、入力LANパケットを廃棄、ブリッジング又はネットワーク層転送するための手段と、前記パケットをATM層適合用にカプセル化するための手段と、仮想チャンネルをインサートするための手段とを有する。

15. 請求項14の装置であって、前記トランスレーションは、RISCプロセッサである。

16. 請求項15の装置であって、前記セグメント化手段は、ATM化装置と、その主要バス上のセグメント化RAMと、第2バス上の高速ポインタ・メモリと、前記リアセンブリ手段へのデュアル・ポート・メモリとを有している。

17. 請求項10の装置であって、更に、前記ローカル・エリア・ネットワークヘトークンをパスする手段を有し、前記トークンは、受取ホストからのデータの伝送を認可する。

18. 請求項10の装置であって、ポート・アベイラビリティがハードウェア信号から導かれるビット・マスク

として提供され、データ・アベイラビリティがパケット・アドレス中のビット・マスクとして表される。

19. 請求項16の装置であって、更に、現在のキューがサービス不能である時

に、次に高いプライオリティを有するポートを戻すためのラウンド・ロビン式プライオリティを備えたプライオリティ・エンコーダを有している。

20. 請求項10の装置であって、更に、パケット長を検出する手段と、セグメント化されるデータパケットを保管するセグメンタRAMと、セグメントと、前記セグメンタRAM中においてデータ・パケットのDMAアクセスを許容するバスと、DMAアクセス中において最後のバイトが読み出された後、前記データ・バス上のデータを変えるための手段とを有する。

21. コンピュータ通信ネットワークであって、複数の相互接続されたATMスイッチと、ネットワーク・マネージャと、前記ATMスイッチの内の少なくとも一つに接続されたルート・サーバと、LANインターフェース・アダプタを備えた複数の装置と、前記LANインターフェース・アダプタの前記複数のATMスイッチとの通信を許可する手段、とを有している。

22. 請求項21のコンピュータ通信ネットワークであ

って、前記許可手段は、前記ATMセルを、前記複数の装置のいくつかの前記LANインターフェース・アダプタへと直接に伝送するべく、LANフレームにカプセル化するための手段と、LANフレームを前記複数の装置の内のその他の装置の前記LANインターフェース・アダプタにLANフレームを転送するためのブリッジング、ネットワーク層転送及びLANエミュレーション機能を提供するための手段、とを有している。

【発明の詳細な説明】**A T MネットワークによるL A Nの
透過式相互接続装置**

本発明は、コンピュータ通信ネットワークに関する。

コンピュータやワークステーション等のデジタル式ユーザ側装置間の通信用のコンピュータ通信ネットワークとして様々なタイプのものがある。例えば、限定された地理的地域（一般に約1マイル）においてコンピュータ間を相互接続するように構成されたシステムはローカル・エリア・ネットワーク（L A N）として知られている。このようなシステムの一例はイーサネット（E t h e r - n e t）であり、これは1970年代後半にゼロックス社によって設計された。これは、10M b sで作動し、データは、イーサネット・フレームとして構成されたツイスト・ペアによって伝送される。

より長距離の場合には、ワイド・エリア・ネットワーク（W A N）が使用される。このW A Nの一つのタイプは、A T M（非同期転送モード）使用するものである。A T Mは、伝送の基本単位として53バイトのセルを使用する。各A T Mセルは、5バイトのA T M層オーバーヘッドと、48バイトのA T Mペイロードとに分けられる。A T Mネットワークは、本質的に統計的であり、A T M

セルは、ネットワーク内部に設定される仮想チャンネルを介して伝送される。

セル回線交換多重化方式の使用により、A T Mは、ブロック回線交換構造（f a b r i c）という統計的多重方式の利点を利用することによって帯域幅利用を行う。同機種間A T M環境下においては、A T M端末アダプタは、前記A T M回線交換構造（f a b r i c）に接続され、潜在的に完全な網型の論理接続通信インフラストラクチャを形成する。A T Mアダプタとしては、A T Mセル・ストリームをA T Mサービスのユーザにインターフェースするどのようなエッジ装置であってもよい。A T Mアダプタの典型的な例としては、デジタル・コンピュータ用のA T Mネットワーク・インターフェース・カード（N I C）がある。

一般に、ネットワーク化されたコンピュータは、イーサネット等のローカル・エリア・ネットワークへの接続用のL A Nアダプタを備えている。しかし、この

ようなLANアダプタによっては、ATMネットワーク等のワイド・エリア・ネットワークに接続することはできない。特製のATMアダプタ・カードをネットワーク化コンピュータに挿入することも可能ではあるが、これには、コンピュータの物理評価と、適当なドライバ・ソフトウェア

の供給とが必要である。

パーソナル・コンピュータへの接続を容易にするべく、ATMの標準化について研究が行われてきた。オーストラリア国のメルボルン大学では、イーサネットではATMセルを走らせることに関する研究が行われてきた。このアプローチの欠点は、ある程度ATMが標準化されるものではあるが、ネットワークに対して、ワークステーション・ネットワーク・インターフェース・カード（NIC）の交換と、NICのドライバ・ソフトウェアの改変という二つの大きな変更を行わなければならないという二つの大きな改変を必要とすることにある。各SUNワークステーションにおいて、帯域幅管理とシグナリングと呼ぶマネージメントを行わなければならない。

ネットワーク化インフラストラクチャに最大限の融通性を与えるためには、ハードウェアの変更に最小限にしながら、ワイド・エリア・ネットワークを介したコンピュータ間において効果的な相互接続性を提供する必要がある。

本発明に依れば、ATMセルを伝送する相互接続された複数のATMスイッチと、単数又は複数のローカル・エリアネットワーク（LAN）への接続用のLANインターフェース・アダプタを有する複数のユーザ側装置と

を有するコンピュータ通信ネットワークにおいて、インターフェース手段によって、前記複数のATMスイッチうちの少なくともいくつかをそれぞれ、前記LANインターフェース・アダプタに接続し、前記インターフェース手段が前記ATMセルを前記LANインターフェース・アダプタを介する通信用に適応させ、これによって、前記ユーザ側装置が、前記LANインターフェース・アダプタを介して前記ネットワークと透過的に通信可能に構成されていることを特徴とする。

前記通信ネットワークは、例えば、ローカル・エリア・ネットワーク（LAN

）と通信するワイド・エリア・ネットワーク（WAN）とすることが出来るが、これに限られるものではない。

本発明に依れば、例えば、パーソナル・コンピュータである前記複数のユーザ側装置は、その既存のLANアダプタを使用して、前記ATMネットワークを介して相互接続することが可能となる。従って、前記ATMスイッチ構造を含むネットワーク全体が、一つの仮想LANとして機能する。

一実施例において、前記ATMセルは、LANフレームとしてカプセル化され、このカプセル化された状態で、イーサネットLANを介して前記LANアダプタ・カー

ドに直接に伝送される。別の実施例において、前記インターフェース手段は、前記ATMネットワークを介してすべての前記ユーザ側装置間の透過的通信を許容するためのブリッジング、ネットワーク層転送及びLANエミュレータ機能を提供する。このような装置は、前記ATMセルからLANフレーム、あるいは、逆に、LANフレームからATMセルを作り出すものであり、これはリッジ又はブリッジ／ルータとして知られている。

この構成の利点は、前記ネットワーク・インターフェース・アダプタと、ローカル・ワークステーションに於けるこれに付随のドライバ・ソフトウェアとのいずれも交換する必要がないことにある。

前記ATMネットワークは、外部のルーティング・ピア（external routing peers）とトポロジ及び到達可能性（reachability）情報とを共有する分散ルータとして構成される。このネットワーク内の接続は、それぞれが類似のトラフィック特性を備えた多重接続を有する複数の予め定義された仮想パスを介してルーティングされる軽量（light-weight）シグナル・コールを使用して、オン・デマンドで設定される。それぞれの接続は、低いユーザ要求（committed）情報速度しか有していないが、

それが有する前記仮想パスのレベルにまでバーストすることが可能であるので、トラフィック全体から統計的なゲインを達成しながら、リソースを制御すること

ができる。

前記A T Mスイッチのネットワークは、L A N機能をエミュレートし、前記システムは、極めて大型の分散ブリッジ／ルータとして機能する。このシステムに接続された装置は、あたかも一つの大きなL A Nに接続されているかのごとく挙動する。このシステムの接続された諸装置は、それらが一つの大きなL A Nに接続されているものと「信じる」のである。L A Nのどこかに、ルータが現れ、これを介して多数の別のネットワークに到達することが可能である。これらの装置は、システムの真のアーキテクチャには全く気づかない。これらの装置は、L A NがA T M構造を介して拡張されており、前記「ルータ」の背後のネットワークも、この同じA T M構造の一部を構成しているということを知ることはできない。このシステムに接続されているルータも、これを、付属のルータを有するL A Nであると見なす。ルーティング情報は、標準式のルーティング・プロトコルを使用して、外部ルータとV I V I D「ルータ」との間に交換される。

以下、図面を参照しながら、本発明をより詳細に説明

する。ここで、

図1は、本発明の第1実施例によって作動するワイド・エリア・ネットワークのブロック図、

図2は、本発明の第2実施例によって作動するワイド・エリア・ネットワークのブロック図、

図3は、リッジの機能を示す図、

図4は、前記リッジの内部動作をより詳細に示すブロック図、

図5は、前記リッジ内のトラフィック・フローの概略を示す図、

図6は、前記リッジへのイーサネットーA T M方向のトラフィック・フローを示す図、

図7は、前記リッジへのA T Mーイーサネット方向のトラフィック・フローを示す図、

図8は、Q M A Cをより詳細に示す図、

図9は、ルックアップ（検索）エンジンのブロック図、

図10は、前記リッジ中のバッファ・フローを示す図、
図11は、PHYモジュールのブロック図、
図12は、ATM-LANネットワーク用のルート・サーバの詳細なブロック図、

図13は、ATMスイッチ用の従来のOAM処理リソースを示す図、

図14は、本発明の一実施例に係るOAM処理リソースを示す図、

図15は、ATMの全利点を提供することなく、LANアダプタをATMネットワークに接続する構成を示す図、

図16は、イーサネット接続コンピュータとATM接続コンピュータとの相互接続システムの典型例を示す図、

図17は、ATMサービスを使用するイーサネット接続端末ステーションに記載された層の関連内部特徴構成の略図、そして

図18は、図16に図示した仮想ATMスイッチの主要部分の略図である。

図1において、ATMスイッチ1a、1b、1cは、ワイド・エリア・ネットワーク非同期転送モード・ネットワーク(WAN)を形成している。スイッチ1aは、ネットワーク・インターフェース・カード(NIC)2を介してルート・サーバ4に接続されるとともに、ネットワーク・インターフェース・カード(NIC)3を介してシステム・マネジャ5に接続されている。

ワークステーション12は、従来の方法により、ネットワーク・インターフェース・カード(NIC)13を介して前記ワイド・エリア・ネットワークに接続されている。NIC13は、前記ワークステーション12の前

記ATMネットワークへの接続専用に構成されている。

スイッチ1a、1b、1cは、更に、リッジとして知られているWAN-LANインターフェース装置6を介してルータ9、ワークステーション8、ハブ10、ブリッジ11及びSNMPマネジャ12に接続され、これらはそれぞれ、この例に於いてはイーサネットである、ローカル・エリア・ネットワークへの接続用のローカル・エリアネットワーク用アダプタを備えている。

前記装置8, 9, 10及び11は、リッジ6aのそれぞれのイーサネット用ポートに接続され、SNMPマネージャ14は、リッジ6bのイーサネット用ポートの一つに接続された状態が図示されている。

前記ATMワイド・エリア・ネットワークは、前記ルータサーバ4の制御下で作動し、このサーバは、従来式の無接続式モデルのLANを、接続式ATMモデルへとトランスレートする。このネットワークは、従来式のルーティングテーブル計算プロトコル（例えば、RIPとOSPF）を実行し、外部ルータとの通信によって、前記無接続式ネットワークの拡張トポロジを学習する。又、このネットワークは、前記無接続式ネットワークのトポロジに関するその知識を完全なものとするためにすべての外部装置の存在を検出する。

前記ルート・サーバ4は、システム・マネージャ5から前記ATMネットワークのトポロジを学習し、前記ATMトポロジとLANトポロジとの間のマッピングのための必要に応じて、前記リッジ6の環境設定を行う。

前記ルート・サーバ4の機能は、ATM-LANシステムに接続された諸装置のトポロジを維持することにある。このトポロジ情報は、ソースからのLANトラフィックのATMネットワークを介した宛先への転送とルーティングに使用される。トラフィック転送は、前記ルート・サーバと、更に、このルート・サーバがトポロジについて伝える情報を使用する前記リッジ6とによって行われる。この環境設定が許容するネットワークのどの場所においても装置を接続することが出来るという能力は、このシステムに固有のものであり、この機能は、前記ルート・サーバ・トポロジ・マネジメントによって行われる。

従って、前記ルート・サーバ4は、LANネットワークの数、装置のメンバーシップ、フィルタ及びアクセスの規制等の、仮想LANを形成する管理情報を有している。

前記ルート・サーバは、スイッチとトランクとのレイアウトについて認識しており、すべての接続装置の存在

を検出する。ルート・サーバは、この完全なネットワークに関する知識を使用し

て、確実に、パケットがA T M接続の動的網を使用して、前記システムを介して正確に転送されるようにする。

より小型のネットワークにおいては、前記ルート・サーバ4は、A R Pサーバとして、更に、ブロードキャスト・サーバ（より大型のネットワークには、複数の別個のルート、A R P及びブロードキャスト・サーバが含まれる）としても機能する。この機能において、ルート・サーバ4は、ブロードキャストトラフィックを、それを受け取ることを必要とするその他のすべてのネットワーク・エレメントに転送する。これによって、ルート・サーバ4は、前記ネットワークを通じて流れるブロードキャスト・トラフィックの量を制限するための種々の推論と最適化を利用することができる。例えば、A R Pリクエストは、しばしば、そのネットワークに存在する大半の装置のアドレスを既に知っているルート・サーバによって直接に取り扱うことが可能である。フラッディングされる（f l o o d e d）必要のあるパケットの場合、ルート・サーバは、そのパケットの一つのコピーを、このパケットがフラッディングされるべきポートを示すマスクとともに、そのブロードキャストの送り先である各

リッジに送ることができる。

前記ルート・サーバ4の簡略化したブロック図を図12に示す。このルート・サーバ4は、集中ルータ転送サーバ400と、N I C装置ドライバ407と、トランザクション・マネジャ402と、トポロジ・マネジャ403と、マルチキャスト・サーバ404と、ルート・マネジャ405と、A D Pマネジャ406とを有している。これらの装置402ないし406は、転送機400と、S N M Pエージェント408とに接続されている。前記トランザクション・マネジャ402は、スタンバイ・サーバ409に接続されている。前記転送機400は、S N M Pエージェント408に直接接続されている。

前記ルート・サーバ4は、このシステム上のすべての装置の位置に関する情報を保持している。この情報は、装置のネットワークへの接続に伴って動的に学習されるものであり、標準式ルーティング・プロトコル、例えば、I P及びI P Xを介した、このシステムのエッジにあるルータとの通信を通じて学習される。こ

の情報は、アドレス分散プロトコルを介してリッジ6に分配される。リッジ6との通信によって、これらのリッジは、大半のデータについて直接的にデータ転送を行うことができる。

前記集中マルチキャスト・サーバ404は、すべての

マルチキャスト・トラフィックを処理する。可能な場合、ルート・サーバ4は、更にネットワークへ更にブロードキャストすることなく、送られてきたデータに応答する。

前記ルート・サーバ4は、更に、LAN装置の追加、移動及び変更を動的に許可するためのLANトポロジ・マネージメントと、システム管理者によって環境設定されたルールに反する装置に対する参入許可制御をとを行う。ATM LANに接続された前記装置9ないし14は、前記ルート・サーバによって動的に検出され、許可された場合、ネットワークに参入する。前記リッジ6は、その装置の検出によってこの検出に参加する。ルート・サーバは、参入を許可するべきか否かと、もし許可するならばどのようなサービスを許可するのかを決定する。更に、ルート・サーバ4は、その装置の位置に関する情報を長時間維持する。ルート・サーバ4は、非類似ネットワークの装置間がシステムへのポートを共用することを可能にする。

前記ルート・サーバ4は、更に、フレキシブルで、ポータブルで、冗長なプラットフォーム・サポートを提供する。前記ルート・サーバは、シングルプラットフォームとマルチプロセッサ・プラットフォームとの両方をサポートするATMネットワークインターフェース・カー

ドを備えたSUNワークステーション上で実行される。予備の(redundant)ルート・サーバ409がサポートされ、これは前記主ルート・サーバ400が故障した時に、これに取って代わる。これら二つのプラットフォーム間の整合性を確保するために、ATMベースのメッセージング・プロトコルが使用されている。

図1に戻って、各ATMスイッチ1は、このシステムのコアである高帯域幅セ

ル回線交換を提供する。ATMスイッチは、3つのタイプ、即ち、ATMワークグループ・スイッチ（WGS）と、36170スイッチング・シェルフと、36170アクセス・シェルフとがある。

前記WGSは、顧客宅内アプリケーション用の、低コストの、12ポート、1.6Gビット/秒のATMスイッチである。前記36170スイッチング・シェルフは、最大8個のATMフィーダ・スイッチ及び/又はアクセス・シェルフを相互接続する12.8Gビット/秒のATMスイッチである。各スロットは、多数のATMインターフェースの一つを受け入れることができる。前記WGSについて、図13及び14を参照してより詳細に説明する。

現在、入力ポートにおいてOAM（オペレーション・アンド・マネージメント）サポートを提供するATMス

イッチは、OAMセルを解釈し、発生するために専用のマイクロプロセッサ52を必要とする。OAMセルは、図13に図示されているようにシェアドRAM51を使用するセル・プロセッシング・エンジン50によって前記マイクロプロセッサ52との間で伝送される。

このアプローチの欠点は、前記OAMの機能をサポートするのに追加コストと複雑性（PCBエリア、追加コンポーネント、シェアドRAMシステム）が必要とされることにある。この追加コストによって、コスト的に有利で、フル装備のマルチポート・スイッチを製造する可能性が阻害される。

図14に示す本発明に依れば、前記セル・プロセッシング・エンジンは、すべての関連OAMセルを、予め環境設定された内部スイッチ・アドレスを使用して集中OAMプロセッシング・リソースへ向きを変えるように改造されている。セルのすべての処理は、この一つのマイクロプロセッサにおいて行われ、これによって、図14に示すように、各ポートにおいて専用のマイクロプロセッサ52を設ける必要が無くなる。

一つの好適な構成において、VCI（仮想チャンネル識別子）=3又は4（セグメント及びエンド・ツー・エンド）及びVP（仮想パス）が回線交換されたセルが、

前記F 4（V P C（仮想パス接続））O A Mフローを構成し、P T I（ペイロード・タイプの識別子）＝4又は5及びV Cが回線交換されたセルが、前記F 5（V C C（仮想チャンネル接続））O A Mフローを構成する。

O A Mセルタイプ＝0 0 0 1（フォールト・マネージメント）及びファンクションタイプ＝0 0 0 0, 0 0 0 1又は1 0 0 0（A I S, F E R F、ループバック）の入力F 4／F 5 O A Mフローセルが、前記セル・ストリームから抽出され、予め設定されたヘッダを使用して向きを変えられる。これらのセルが、前記集中O A Mプロセッサによって処理されるセルである。

適当な集中O A Mプロセッシング・リソースは、C C M（コントロール・コンプレックス・モジュール）であり、これはすべてのU C S（ユニバーサル・カード・スロット）に対してO A Mサポートを提供する。前記U S Cモジュールは、必要な入力O A Mセル〔V C A I S（仮想チャンネル・アラーム表示信号）、V C F E R F（仮想チャンネル遠端末受信機故障）、セグメント・ループバック、エンド・ツー・エンド・ループバック〕を前記C C Mに向ける。C C Mは、必要な出力O A Mセルを発生する。

U P C（使用目的パラメータ制御）、A T Mアドレス・

トランスレーション又は高速（1 5 5 m b p s以上）の入力又は出力ポートにおいてエンハンスト機能を実施する従来のA T Mスイッチは、デュアルポート／シェアード・メモリ・システムに位置するポート固有パラメータをアップデートするための専用のマイクロプロセッサを必要とする。これらのパラメータは、例えば、新規なV P I／V C Iの、プロプライエタリ・スイッチ・ヘッダ、U P Cパラメータ、統計及び接続バリディティなどを含む。セルが前記入力又は出力ポートに到達すると、次に、ハードウェア（H／W）エンジンが、これらのパラメータを使用して前記セルを適当に処理する。

このアプローチの欠点は、前記エンハンスト機能を実行するために追加コストと、複雑性（P C Bエリア、追加コンポーネント、シェアードR A Mシステム）が必要なことである。この追加コストによって、コスト的に有利で、フル装備のマルチポート・スイッチを製造する可能性が阻害される。

追加のプロセッサ及びシェアード・メモリ・システムの必要性をなくするため
に前記H/Wセル・プロセッシング・エンジンにエンハンス機能を追加する。
これを行うために、前記データ及びコントロール・ストリームを融合し、H/W
セル・プロセッシング・エンジンを、

前記コントロール・セルを解釈するように構成する。これによって、入力及び出
力接続を環境設定するのに必要なRAMのアップデートが行われ、ステータス要
求に対するレスポンスが送られる。これは、前記セル・プロセッシング・エンジ
ンに、例えばXilinx社から市販されているようなフィールド・プログラマ
ブル・ゲート・アレイを設けることによって達成できる。これにより、このセル
・プロセッシング・エンジンは、前記コントロール・セルを解釈することが可能
となる。

このアプローチの更に別の利点は、RAMシステムの帯域幅の要求を減らすこ
とが出来ることにある。既存の構成においては、前記シェアード・メモリ・シス
テムを実施するのに高速SRAMが必要である。外部マイクロプロセッサによる
追加のアクセスを提供する必要性を除去することによって、前記RAM帯域幅を
大幅に減少させることができる。

この技術は、すべてのATMスイッチによって使用可能である。更に、このア
プローチは、頻繁なパラメータのアップデートを必要とするスイッチ環境におい
てすべてのライン・カードによって使用可能である。

再び図1において、前記ATMスイッチ1a, 1b, 1cは、それぞれのリッ
ジ6a, 6b, 6cに接続され

ている。一実施例において、各リッジ6は、イーサネットLANへの接続用の1
2のイーサネット・ポート7と、ローカル・ワークステーション8のイーサネッ
トアダプタと、従来式のルータ9と、ハブ10又はブリッジ11とを有している
。

前記リッジ6は、前記ATMネットワークを介してすべてのユーザ側装置間で
トランスパラント（透過式）通信を可能にするために、ブリッジング、ネットワ

ーク層転送及びLANエミュレータ機能を行う。これらのリッジは、ユーザ側装置が前記ATM環境を介してLAN環境において通信することを可能にする。

即ち、前記リッジは下記の6つの基本的工程を行う。

(1) ソース・アドレス・バリデーション

パケットがリッジLANポートに到着すると、リッジは、そのポートのソースMacアドレスを以前に見たことがあることを検証する。もしもそのアドレスがポートのソース・アドレス・テーブルに見つかった場合には、パケットは宛先識別へと進む。

もしもそのアドレスが見つからない場合には、新しいステーションがシステムに参入したことになり、このパケットはルート・サーバに転送されて処理される。

(2) 宛先識別

リッジが前記パケットのソース・アドレスを確認すると、リッジは、そのパケットとの宛先MACアドレスを調べる。この時点でいくつかの可能性が発生する。即ち、

- ・ このパケットはブロードキャスト・アドレス又は、リッジの宛先アドレス・テーブルには存在しないMACアドレスに向けられたものである。この場合、パケットはルート・サーバに転送されて処理される。

- ・ このパケットは、前記VIVID「ルータ」自身のMACアドレスに宛てられたものである。これは、このパケットは転送されて、パケットのネットワーク層アドレスが調べられることになっていることを意味する。もしも、そのネットワーク層アドレスが宛先アドレス・テーブル中に存在しているならば、このテーブルから転送情報を取り出し、パケットは、フィルタ工程へと進行する。そうでない場合は、パケットはルート・サーバに送られる。

- ・ このパケットは、リッジの宛先アドレス・テーブル中に存在するMACアドレスに宛てられたものである。この場合、このパケットをブリッジして、テーブルから転送情報を取り出すことが出来、このパケットはフィルタ工程へと進行する。

この工程の目的は、前記ルックアップ・テーブル中の

論理宛先アドレスを出力媒体のための物理アドレスにマッピングすることである。従って、前記宛先アドレス・テーブルから取り出される転送情報は、パケットがどのように、又、どこに転送されるかによって異なる。もしも宛先がリッジのポートに接続されており、パケットがM A C層転送されている場合には、宛先ポート I Dを前記テーブルから取り出す。もしも宛先がリッジのポートに接続されており、パケットがネットワーク層転送されている場合には、宛先ポート I Dとその宛先のM A Cアドレスとを前記テーブルから取り出す。最後に、その宛先が別のリッジ上に位置している場合には、出力リッジのA T Mアドレスのみをテーブルから取り出す。

この時点で、地理ベースの物理層A T Mアドレスを前記パケット内の論理ネットワーク層宛先アドレスと関連させることによって、物理－論理接続性マッピングを行う。

(3) フィルタリング

パケットのソース及び宛先アドレスが確認されると、リッジは、それらの装置間の会話を許可すべきか否かをチェックする。一般に、これは、単なる、ソース・アドレス、宛先アドレス及びプロトコル・タイプのチェックである。但し、必要な場合、アプリケーション・レベル・

フィルタリングを行うためにパケットをより詳しくチェックする必要がある場合もある。もしも、装置間の通信が許可されない場合には、パケットはドロップされ、そうでない場合には、パケットは変形工程へと進む。

(4) 変形

もしもパケットがL A Nポートからシステムに入り、ネットワーク層転送されている場合には、パケット中の前記ソース及び宛先M A Cアドレスとともに、前記イーサネット又は8 0 2. 3カプセルを除去し、このパケットのt i m e－t o－l i v eをデクリメントする。次に、パケットをルートp d uとしてカプセル化して、A T M構造（ファブリック）を介して送る。

パケットがリッジ・ポートにおいて転送される時、パケットのソースMACアドレスが、VIVID「ルータ」のMACアドレスにセットされる。前記宛先MACアドレスは、宛先識別中において宛先アドレス・テーブルから取り出された値に設定されている。その後、パケットはLAN用に適当なフォーマットにカプセル化される。

(5) コール・セットアップ

もしもパケットがATM構造を介して転送されるべきものであれば、リッジは、このパケットが出力リッジへのSVCを有しているか否かをチェックする。もしもま

だSVCが設定されていない場合には、宛先識別中において得たATMアドレスを使用して、その出力リッジへのコールを発生する。

(6) 伝送

パケットは、前記リッジ出力ポートへ伝送されるか、あるいは、ATMセルに分割され、SVCを介して出力リッジへと送られる。

従って、リッジ6は、従来式のローカル・エリア・ネットワーク（LAN）（例えば、イーサネット／802.3、トークン・リング／802.5、分散型ファイバ回線データ・インターフェース（FDDI）、等）と非同期転送モード（ATM）ワイド・エリア・ネットワークとの間の媒体一速度相互接続を提供する。

前記リッジ6は、178,560ppsのスイッチング集中エレメントと見なすことができる。このリッジによって実行される機能は、より具体的には以下の通りである。

- a) ATM層セグメント化及びリアセンブリ、
- b) ATMアダプテーション層5（AAL5）、
- c) RFC1483ヘッダのフレームのカプセル化及び脱カプセル化、
- d) フレームのヘッダからのATMアドレス及び／又

はVPI／VCIの取り出し、

- e) フレームのイーサネット・ブリッジング又はネットワーク層転送、
- f) ATMポートにおいて受け取られたIPフレームのフラグメント化、
- g) SONET STS-3c に従った伝送収れんサブレイヤ処理。

以下により詳細に説明するように、イーサネット・インターフェースにおいて、前記リッジは、受け取ったセルをカプセル化して、これらをその宛先に向けてATMネットワークに送り込む。ATMインターフェースにおいては、前記リッジは、その宛先へイーサネットを介して送る前に、接続されたイーサネット・ホストに向けられたこれらのセルをカプセル化する。

コンテンション（回線競合）のない公平性を達成するために、前記リッジとそれが接続されたイーサネット・ホストとの間にトークンがパスされる。ホストがトークンを受け取ると、ホストは一つのフレーム、又は1セットのフレームをリッジへと送る。各フレームは、単数又は複数のATMセルを有している。特定の数のフレームを送った後、ホストは、前記トークンをリッジにパスバックする。このリッジは、トークンをホストにパスバッ

クする前に、自ら1セットのフレームを送ることもある。このようにして、前記リッジとホスト（単数又は複数）が互いに同期されて、各ホストはコンテンション又は衝突無く特定量の帯域幅を得るのである。各ホストが前記トークンを手放す前に送るフレームの数を変更することによって、あるいは、このトークン通信プロトコル自身を変更することによって、各ホストは異なったグレードのサービスを受けることができる。

図2は、別の構成を示しており、ここで、類似の部分は類似の参照番号によって示されている。図2において、ATMスイッチ1cは、リッジ6cに接続されるとともに、リッジ状ゲートウェイ14に接続されており、このゲートウェイは、ワークステーション15に接続されている。ゲートウェイ14は、ATMセルのイーサネット・フォーマットへの変換、又はその逆の変換を行う代わりに、イーサネット・フレームとして入力されるATMセルをカプセル化して、これによって、これらがイーサネット・ドライバの助力によって、ローカル・ステーションのイーサネット・アダプタによって直接受け取られることを可能にする。

次に図3において、ここに図示されているリッジ6は、イーサネット装置への接続用の12個の10Mビット／

秒(10baseT)のイーサネット・ポート20と、一つのRS-232シリアルポート21と、155Mビット／秒のone OC-3 over マルチモード・ファイバATMポート・インターフェース・ポート22とを有している。上述したように、前記リッジ6は、ブリッジング、LANエミュレーション、及びネットワーク層転送機能を行う。ユーザ・データ及びコントロール・トラフィック(前記ルート・サーバ及びシステム・マネージャ間)の両方がATMインターフェースに載せられている。

前記リッジ6の機能は、イーサネット・ブリッジング、ネットワーク層転送、及び12個のイーサネットポートと一つのATMポートのためのLANエミュレーションを行うことである。イーサネット間に挟まれたトラフィックは、ブリッジされるか、もしくは、直接にネットワーク層転送される。即ち、他のリッジへのトラフィックにそのATMポートが必要な場合には、カプセル化ATM層処理が行われる。

次に、より詳細なブロック図である図4において、前記リッジ6は、イーサネットMACレシーバ23とトランスミッタ24、出力フレーム・プロセッサ25、入力フレーム・プロセッサ26、入出力フレーム保管メモリ

27、28、ルックアップ・エンジン・フィルタ29(図9に図示され、本願と同時係属の、1994年12月22日出願No. PCT/CA94/00695、「パケットベース・ネットワーク用のルックアップ・エンジン」により詳細に記載されている)、ATM層セグメント化プロセッサ30、セルautopadder31、TC層SONETフレーム32、ATM層リアセンブリ・プロセッサ33、及びファースト・キュー・サービス・コントローラ34とを有している。前記TC層SONETフレームは、光ファイバ又はツイストペア銅ケーブルを介する接続用のATMインターフェース22を提供するATMモジュール35に接続されている。

前記ファースト・キュー・サービス・コントローラ34の目的は、出力キュー（待ち行列）に、イーサネット・ポートを宛先とするパケットをキューイングすることである。各ポートにそれぞれ一つの出力キューがある。キューがサーブされると、パケットは、そのパケットを受け取る準備が出来ているイーサネットMACポートへと転送される。すべてのキューは同じ優先順位を有する。

前記ファースト・キュー・サービス・コントローラ34において、ポートとデータの使用可能性が、次のポートの要求に分解（factored）される。ポート

の利用可能性は、アドレス中のビットマスクとして表される。ラウンド・ロビン式優先順位をエンコードされた優先順位により、もしも現在のキュー（前記ラウンド・ロビン方式によって定義される）がサーブ出来ない時には、必ず、すべての要件を満たす次に最も優先順位の高いポートがリターンされる。従って、この装置は、常に有効な結果をリターンする。有効なデータのアドレス・マップ化ビット・マップにより、その結果は、ただ1回の読み込み作業によってリターンされることが可能であり、これによってパフォーマンスが改善される。

前記ファースト・キュー・サービス・コントローラ34は、実際には、サービスを必要とするすべてのセットの平行・キューに適用可能であり、ラウンド・ロビン式サービス・メカニズムに限定されるものでなく、同等ではない優先順位がこれらのキューに関連付けられている場合に実施可能である。

リッジ6のトラフィック・フローは、図5に図示されている。このリッジ6は、受信方向と送信方向とにおいてそれぞれ別個のデータパス用に構成されている。唯一の例外は、ローカル側において回線交換されるイーサネット・トラフィックであり、これはバイパス・ユニット45を介してセグメンタRAMシステムを通じて中継さ

れる。このアプローチは、すぐにシステムのボトルネックとなる単一のメモリシステムへの必要性を軽減する。

図4に示すトランスミッタ24とレシーバ23とを提供するQuadMAC4

0は、前記ATM方向側においてセグメンタRAM41とセグメンタ42とに接続され、イーサネット側の入力においてリアセンブラRAM43とリアセンブラ44とに接続された3Kビットの入力及び出力FIFO45, 46を有している。バイパス・ユニット45は、入って来るイーサネット・トラフィックが、ATMネットワークをバイパスし、前記Quad MAC40の出力へ直接にパスされることを許容する。

図6は、ATM方向の前記パケットのフローをより詳細に図示している。先ず、イーサネット・フレームの全部がQuad MAC ASIC FIFO45内部でバッファされ、次に、QMAC40は、受信コントローラ47を介してAXE RISCプロセッサ48に対してDMAが必要であることを知らせる。AXE（伝送エンジン）48は、どのポートが選択されているかを考慮することなく、セグメンタRAMへのDMAを開始し、受信コントローラ47は、ラウンド・ロビン優先順位方式を使用しているポートを選択する。

次に、前述し、又、同時係属出願に記載されている前

記ルックアップ・エンジン29は、前記フレーム・ヘッダ情報を「fly by」モードでロードし、ソース、宛先MACアドレス、プロトコル・タイプ、ポート・グループ等のコンテキスト・サーチを開始する。

前記AXE48は、前記検索の結果を取り、もしもそう指示された場合には、そのパケットをドロップ又はネットワーク層変換を行うこともある。次に、これはCS-PDUへ入力するために必要な状態にパケットを再フォーマットし、セグメンタ42にセル・スライシングを開始するように指示する。セグメンタは、ATMセグメント化を実行し、完了後、前記バッファをリターンする。

前記AXE48は、一体型高速DMAと、別体の第2プロセッサ・バスとを備えた50MHzのR3000RISCエンジンである。媒体の高速性能を維持するためには、これは、下記のタスクを5.6マイクロ秒（280サイクル）で完了しなければならない。このAXE48は、前記DMAデータを、一度に約512バイトの移動速度でフォアグラウンドにおいてQMACとセグメンタRAMとの間を流し続ける。一旦、一つのパケットDMAが開始されれば、ポートのインタ

ーリーブは無い。バックグラウンドにおいて、パケット情報がL U E F I F Oから取り出され、A X E パケット処理が開始さ

れる。

前記パケットは、廃棄、ブリッジ、又はネットワーク層転送される。ブリッジされたパケットの場合には、パケットの改変は行われない。

ネットワーク層転送されたパケットの場合、そのパケットのネットワーク層ペイロード・ヘッダにおけるフィールドが改変される。即ち、例えば、I P の場合、T T L がデクリメントされ、チェックサムが調節される。新しい宛先M A C アドレスが、前記送信コントローラによって挿入されるべく前記パケット・デスクリプタにアpendされる。この段階の処理は、プロトコルによって変わる。

前記パケットは、A T M アダプテーション層5用のR F C 1 4 8 3タイプのL C カプセル化によってカプセル化される。

前記V C は、L U E 2 9 からインサートされる。

フレームはA T M 送信又はローカル送信用に、セグメンタでキューイングされる。

リッジ・ホスト・プロセッサで発生されたトラフィックは、他のリッジに対しては単に、「1 3 番目のポート」として現れる(図8)。前記ホスト・プロセッサ・コンプレックスは、前記Q u a d M A C 4 0 を擬態するF

I F O インターフェースを有する。

データは、前記A T M イーサネット方向に於けるデータフローを示す図7に図示した前述のものに対称的なパスでイーサネット・ポートから流れる。これは、送信制御プロセッサ50が、Q M A C ダイレクト・メモリ・アクセスを行い、M A C ヘッダを追加することを除いては、図6に示したものと類似している。前記送信コントローラ50は、機能的には、A X E 4 8 に類似しており、パケットが前記セグメンタとリアセンブラR A M からキューイング解除されると、M A C アドレスがインサートされ、これらはQ u a d M A C に対してD M A される。A X E と同様に、T X C は、5 0 M H Z R 3 0 0 0 ーベースのR I S C プロセッ

サによって実施され、その処理を5.6マイクロ秒で完了しなければならない。

前記リッジから送信されるイーサネット・パケットのソースとして、ATMセル、ローカル・インターポート・トラフィック及びローカル・ホスト・プロセッサ起源のものの三種類のソースがある。後の二つの場合、そのフレームは、リアセンブラ・メモリではなく、セグメンタ・メモリにある。従って、送信コントローラ50は、QMAC40に供給するのに二つのトラフィック・ソースに対応しなければならない。

前記リアセンブラからのパケットのフローは以下の通りである。

- 1) ATMセルは、リアセンブラRAMにリアセンブルされる。
- 2) 前記リアセンブラは、パケット・ヘッダをLUEヘダイレクト・メモリ・アクセスし、このLUEが、ソース及び宛先MACアドレスと、出力ポートセットとを決定する。情報は、その使用のために、前記送信コントローラによってフレームにアpendされる。
- 3) フレームは、リアセンブラによって送信コントローラにキューイングされる。

セグメンタ・メモリ・システムからのパケットのフローは、単に、セグメンタが送信コントローラ50に対してフレームをキューイングするだけである。送信コントローラRISCプロセッサがATM又はローカル・スイッチング・パスを介したフレームの到着を知らされると、これはMACアドレスをインサートし、Quad MACの適当なポートへのDMAを行う。

前記QMAC40は、図8により詳細に図示されている。これは、4つのポートのイーサネット・トラフィックを、高速32ビット幅同期データバス間で流すASICであり、外部DMAが必要である。前記QMAC40は、

一体型10BaseT又はAUIトランシーバと、パケット及びバイト・カウンタの完全なセットと、各方向に於ける内部3kパケット・バッファとを特徴としている。

前記ルックアップ・エンジンは、図9に図示され、前述した同時係属出願に記

載されている。このルックアップ・エンジン（LUE）は、パケットがイーサネット又はATMネットワークから受け取られる毎に使用される。このエンジンが提供し、ルックアップ・テーブルに保管される情報のタイプは、パケット・フローの方向とパケットの種類によって異なる。このLUEは、それぞれの知られている宛先へのパスを捜すのに必要なすべての情報を提供するとともに、知られていない宛先の場合にはデフォルト情報を提供する。このデフォルト情報は、大抵の場合、パケットをルート・サーバへと向ける。

前記LUE 29は、MAC及びネットワーク層アドレスや、ネットワーク層プロトコル決定用の固定した部分に於けるビットパターン認識等の、パケットの可変部分のニブル・インデックス化を使用したテーブル検索に基づいている。各ルックアップ・テーブルは、16進法の検索ツリーに組織されている。各検索ツリーは、16ワードのルート・テーブルから始まる。検索キー（例えば、MACアドレス）は、後続のテーブルへのインデックス

として使用されるニブルに分割される。テーブルへの16ビットのエントリは、次の4ビットのニブルと接続されて、次の16ワードのテーブルの20ビットのアドレスを形成する。最後のリーフ項目（エントリ）が、所望の情報を示す。LUEのブロック図を以下に示す。

ビット・パターン認識は、マイクロコード命令セットによって行われる。マイクロコード化されたエンジンは、ひとつのパケット内のフィールドを予めプログラムされた定数と比較して、典型的には一つの命令における分岐とインデックスのインクリメントを行う能力を有する。このマイクロコード・エンジンは、前記検索アルゴリズムを完全に制御し、従って、これを特定の検索機能に適合させることが可能であり、新しい機能が必要な時にはマイクロコードがダウンロードされる。前記マイクロコード・エンジンによるパケット分析の出力は、AXEが処理ルーチンに迅速に方向を向けるのに使用することが出来るインデックスである。

ソース・アドレスの学習及びエージングには、ツリーの操作が必要であり、これは、AXEとホストプロセッサを使用してバックグラウンド・タスクとして行わ

れる。新たに発見されたソースのMACフレームの場合には、ホストプロセッサに内部メッセージが転送され、LUE

ソースRAMに追加されるパラメータが要求される。次に、ホストプロセッサは、デュアルポートメカニズムを介して前記LUE RAMにアクセスし、必要な状態に前記ツリーを再構成する。

前記LUEは、物理的には、一つの大きなFPGAと、それぞれ512Kバイトと1Mバイトの別々のソース宛先ルックアップ・メモリと、ダウンロード可能なマイクロコードRAMと、前記RISCプロセッサのインターフェースとしてのXilinx及びFIFO装置との組合せとに分割される。

セグメント化、リアセンブリ、及びQMACトラフィックに必要な単一の超高速メモリ・システムへの要求を緩和するために、前記ATM SAR機能は、リッジによって二つに分割される。従って、アーキテクチャは方向によって水平に分割され、実際には完全に二重のシステムとなっている。

前記セグメンタ・コンプレックスは、ATM化装置と、セグメンタRAMの主バスと、その第2バスの追加の高速ポインタ・メモリへのインターフェースと、前記リアセンブラへのデュアルポート・メモリとから構成されている。後者は、OAM用のSAR通信バッファと軽量スイッチング・サポートとして使用される。

1024以下の同時VCのリッジにおいてATMリアセンブリを行うには専用のATM化装置が使用される。パケットが再アセンブルされると、前記LUEが入って来る最初のセルにスヌープ(snoop)して、もしも、それが中継されたPDU(前記ソースMACが、自動的にルート・サーバとなる)である場合には、宛先MACアドレスを提供する。このMACがリアセンブラによってパケットにアpendされ、送信コントローラによって迅速にインサートされる。

セルは、ATM装置間セル・リンクを使用して、前記リアセンブラからセグメンタへと送ることができる。これはループバック検査に有効である。

前記セグメンタとリアセンブラRAMとは機能的に類似しており、ATM環境

とLAN環境との間の中間CS-PDUバッファリングを提供する。前記セグメンタは、4つのポート、即ち、AXE第2バス、Quad MAC (AXE主バス)、前記送信コントローラ及びセグメンタを有する。前記リアセンブラメモリは、3つのポート、即ち、前記送信コントローラ、と前記リアセンブラの主及び第2バスとを有している。共にそのサイズは512Kバイトである。

各RAMシステムは、類似の調停(アービトレーショ

ン)コントローラを有し、ラウンド・ロビン式に一度に複数の要求にサーブする。この調停機は、バッファの背後でアドレスが蓄積されることを可能にし、これによってスイッチング時間が最小にされている。現在、前記メモリ・システムは、3サイクルの調停(アービトレーション)と、4-5サイクルの書き込み及び読み取りを達成するために高速の15ナノ秒のRAMを、それぞれ使用している。RAMシステムは、保持された帯域幅において800Mビット/秒以上を提供する。

前記リッジは、システムの始動、電源ON時の診断、LUE及びRISCプロセッサのダウンロード、スパニング・ツリー・アルゴリズムの実行、ネットワーク・マネージメント(SNMP, 4602 I/F)の実行、ローカル・シリアル・ポート環境設定の実行、接続マネージメント(Q. 29321)、LUE用のテーブル・メンテナンス、必要な場合におけるPHYモジュール状態コードの実行(OC3)及びフェースプレートLEDの制御を処理するための管理ホストプロセッサを必要とする。

前記ホスト・プロセッサ・コンプレックスは、下記の周辺装置を備えた25MHzの6MIPSで作動するMC68349CPUによって実施可能である。即ち、

2MバイトRAM、1MバイトのフラッシュEPROM(インテルベース)、32Kバイトのバッテリ・バックアップNVM(不揮発性メモリ)、各方向のパケット伝送用の2KバイトのFIFO、ATM化シリアルダウンローダ、及び、ローカル・シリアルポート環境設定用のRS-232トランシーバ。

前記リッジと同様に、5-プロセッサ・パイプライン化アーキテクチャは、かなりのデータ・パッシング要求を有するものと期待される。以下の項で記載するようにこれには実質的に三つのものがある。

前記ホスト・プロセッサは、各ATM化装置に対して環境設定、メンテナンス、統計ポーリング・パケット・メッセージを伝達するとともに、外部のイーサネット・ベースの装置と通信しなければならない。これらの二つの要求を能率的に処理するために、ホスト・プロセッサは、前記AXE及び送信コントローラに対してQMACとインラインの「13番目のポート」として現れる。内部プロセッサを宛先とするフレームは、通常のトラフィックと同様に、フラッグを付けられ、AXEによって前記セグメンタ・メモリにロードされる。リアセンブラに到着するためには、メッセージ・パケットを、送信コントローラによって、リアセンブラ・メモリに物理的に再

コピーしなければならない。

他の方向において、送信コントローラは、ローカル・メッセージと、ホストを宛先とするMACアドレス化されたトラフィックとを、パケットに予めフラッグを付けておくことによって区別する。ホスト・コントローラは、その内蔵DMAコントローラを使用して、そのQMAC-エミュレーションFIFOとのデータの移動を行う。

バッファ・ポインタがリッジATM化装置間でパスされる時、そのサービスに対する要求を示すために単純な割り込みフラグを使用する。同時に、2CPCond” 入力”がセットされ、これによって、単一のR3000分岐命令によって、一つのサイクルで効果的にポーリングとフラッグの方向付けとを行うことができる。

セグメンタは、データ・バッファの到着を示す割り込み信号をAXEから受け取る。

TXCは、データ・バッファの到着を示す割り込み信号をセグメンタとリアセンブラから受け取る。

セグメンタとリアセンブラは、そのデュアルポート・メモリ・キューをサーブ

するために互いに割り込みを行う。

セグメンタとリアセンブラとは、軽量スイッチング及びA T M O A M等の双方向プロトコル用の直接通信パ

スを必要とする。これは、それらの間の小型のデュアルポート・メモリと、互いに割り込む能力とによって提供される。

4つのプロセッサが前記リッジの周りでデータを移動させる場合、バッファ・ポインタをパッシングしフリーのポインタをリターンする最適化スキームが必須である。セグメンタ及びリアセンブラメモリのマルチポート化によって、実際のデータのコピーは不要である。単純性と低コストのためには、バッファ・ポインタはデータと同じ伝送路においてマルチポート化メモリを通過される。バッファのリターンにおける複雑化を避けるためには、これらを図10に示すように一方向にパッシングさせる。

A X E によって受け取られたパケットは、A T Mネットワーク宛であるか否かを問わず、セグメンタに転送される。ローカル・トラフィックの場合、セグメンタは、パケットを送信コントローラに再キューイングし、これは、リターンされたフリー・バッファ・リストが単一のプロセッサによって管理されることを意味している。これによって再エントランスの問題を避け、全体のバッファ・マネージメントが単純化される。

リアセンブラによって受け取られたデータ・バッファは、単純に、イーサネット伝送用に送信コントローラに

パスして、DMAが完了した時にリターンすることができる。

アプリケーションに依って、統計がリッジのハードウェアとソフトウェアとによって収集される。前記Q u a d M A C は、下記のためのハードウェア・カウンタを有する。

送信／受信フレームの数、

送信／受信バイトの数、

イーサネット受信エラー（C R C , アラインメント、r u n t ） 、

衝突の数、

16回より多い衝突によって失敗した送信数、

その他の統計が、ホスト・プロセッサを介して報告するべくATM化装置によって収集される。その具体例としては以下のものがある。

送信／受信セルの数、

セキュリティ違反／ポートの数。

リッジのPHYモジュールは、物理インターフェースの種類に関する現在の議論に対して、これを容易に変更可能とすることによってこれに対応する。これは図11により詳細に図示されている。

前記リッジは、従って、ローカル・スイッチングを備

えた12のイーサネット・ポートを、ATMスイッチへの接続のために、単一のATMトランクに集中するシステムのキーエレメントである。前述したリッジの具体的実施例は以下の特徴を有する。即ち、12の10BASE-Tのイーサネット・ポート、一つのモジュラATMポート（第1出力：マルチモード光ファイバ・ケーブルを介する155Mビット／秒のSTS-3c）、すべてのイーサネット・ポートとATMポート間におけるフルメディア速度ブリッジング及び転送、広範囲の packets・フィルタリング能力、ATMにおけるイーサネットの方向のIPフラグメント化のサポート、SNMPと標準式MIBを使用した管理能力、スパニング・ツリー・アルゴリズム、ATMサポート、AAL5、CLP、OAM、トラフィック・シェーピング、ニューブリッジ「軽量スイッチング」、イーサネット「スヌーピング」モードによる遠隔トラフィック・モニタ、ラック、デスクトップ、あるいは、スタンドアロン・パッケージにおいて壁取り付け可能性、ローカル・マネージメント・インターフェース（シリアルポート）、「フラッシュ」メモリを使用するソフトウェアのダウンロード可能性、「ソフト」RISC及びASICベース構造、200MIPS以上。

従って、記載したリッジは、ルートされたイーサネット環境をATM WANネットワークに結合させるように構成されたATM LANエミュレータであっ

て、以下の特徴を有するものである。即ち、低コスト、フルメディア速度ブリッジ及びネットワーク層転送、今後に定義／発明されるであろう標準の受け入れ、フルレンジのフィルタリング能力のサポート、ルートされたプロトコル能力の理解と利用、スタンドアロン、又は、種々のATMハブにと一体的に作動可能、容易なASICへの移行性。

前記リッジの重要要素は以下の通りである。

高密度、高速イーサネットMAC、
強力なテーブル検索エンジン。

ブリッジとルータの基本的側面は、VC、MACアドレス、セキュリティ規制、等をリアルタイムで迅速に関連付ける能力である。リッジ側においては、このために、少なくとも8,000個の項目を保持するテーブルを5.6マイクロ秒毎に検索する必要がある。

フレキシブルなネットワーク層ハードウェア・パーサ。高速のネットワーク層転送を行うためには、フレームを迅速に構文解析し、新しいMACアドレス、TTL及びチェックサムによって修正する必要がある。

実際には、高速のRISCプロセッサがこの作業を行い、これは前記テーブル検索エンジンと接続されてフレームプロセッシング・コンプレックスを構成している。

高速のマルチポートATM-イーサネット・バッファリング・システム。リッジは格納-転送装置であり、双方向において渋滞する可能性があるので、内部バッファの容量を考慮しなければならない。メモリ・システムは、各方向において少なくとも275Mビット／秒を提供する高速で、比較的大型でしかも低コストでなければならない。その他の重要な特徴としては、RAMシステム間の効率的な調停(arbitration)と、短いアクセス呼び出し時間がある。

前記リッジの基本的側面は、イーサネット・フレームの再パッケージ化、VCIのインサート、53バイトのセルへの分解である。逆のプロセスには、複数のフレームの同時接合と、適当なイーサネット・ポートへの再方向付けとが必要である。セルの大きさと必要なATM処理は、目標とする環境によって大幅に変わ

る。

前記「ATM化装置」は、ATMセルをリアルタイムで処理するのに必要な内部RAMと、キャッシュと、DMA及びATMシリアル化ハードウェアとに接続された50MHzのR3000コアを有する。

RISCベースDMA。リッジデータを高速で移動させる能力、フィールドを修正し、キューのマネージメント、きわめて高速でコスト的に有利なRISCソリューションへのコール。開発プロセスをストリームライン化（合理化）し、高度に最適化された統合ソリューションを利用するために、リッジは、高速なデータ処理を行うために非ATMアプリケーションにおいて2つのATM化装置を再使用する。

高速のATMポート。伝送媒体を介したATMスイッチへの接続（スタンドアロン・リッジ）又は、適当なbackplaneインターフェースへの接続（36150スイッチのStealth）。物理媒体とフレーミング構成についてはまだ活発に議論が行われているので、この機能用には交換可能（スワップ可能）PHYモジュールを使用する。

ネットワークマネージメント、診断、環境設定構成、及び全体の管理のためのハウスキーピングプロセッサとしては比較的低速度のプロセッサが必要である。一実施例において、これはクロック速度が25MHzのモトローラ社製68349マイクロプロセッサである。

次に、本発明の別態様を図15ないし18を参照して説明する。

図15において、前記ATM接続デジタル・コンピュータとレガシーLANアダプタ100、101とを使用して、レガシー・イーサネットLANと、デジタル・コンピュータとを前記ATMスイッチング・ファブリック102にインターフェースする。前記ATMスイッチング・ファブリックは、単数又は複数のATMスイッチ103から構成できる。この環境設定は、種々の端末ユニット間に於てLANデータ・トラフィックを伝送するのに使用する。しかし、保証帯域幅（BW）、トラフィック・マネージメント、等のATMの利点は、前記レガシーL

A Nアダプタを越えて前記レガシー L A N接続（例えばイーサネット） デジタル・コンピュータに及ぶことはない。従って、前記レガシー L A N環境においてメタレベルのアクセス制御メカニズムを使用しない限り、衝突検出モードを備えた従来式のキャリア・センス・マルチプル・アクセス（C S M A / C D）において、直接接続された A T Mコンポーネント（例えば、デジタル・コンピュータ）において可能なすべてのサービスを提供するためにイーサネットを使用することは不可能である。

A T M接続レガシー L A Nアダプタを介して前記 A T Mスイッチング・ファブリックにインターフェースされたイーサネット接続端末ステーションに A T Mサービスを

提供するには、接続されたすべての端末ステーションからのイーサネット L A Nに対するアクセスを決定論的に制御し、A T M Q. 2931シグナリングをイーサネット端末ステーションに延長する、接続、シグナリング、及び帯域幅マネージメントメカニズムが提供されることが必要である。

次に、前記端末装置の一具体例としてデジタル・コンピュータを使用して、A T Mの全サービスのイーサネット接続端末装置への提供について説明する。

図16は、イーサネット接続デジタル・コンピュータ101と、A T M-接続デジタル・コンピュータ100との相互接続システムの典型例を図示している。

A T Mサービスの前記イーサネット接続コンシューマは、それぞれ101a, 101b, 101c, 101dで示す「アプリケーション」、「A T M A P I」、「802.3ドライバ」及び「802.3インターフェース」から成る4つの層を有しているブロックとして図示されており、これらはそれぞれ、イーサネット・バックボーン104に接続され、更に、このイーサネット・バックボーンは、下記に詳述するように仮想A T Mスイッチ105によってA T Mスイッチ103に接続されている。

前記「アプリケーション」層101aは、アプリケーションを略して示すものであり、これは、A T Mサービスをこのアプリケーションに拡張するのに使用さ

れるATMアプリケーション・プログラム・インターフェース（API）上に積層されている。

前記「ATM API」層101bは、この図に於いては「802.3ドライバ」である下層のプロバイダによって、APIサービスを上層のコンシューマに提供するコンポーネントを略して表している。このAPIによって提供される典型的なサービスとしては、アプリケーション特定ATMアドレスに対応のATM端末ポイントへの接続を要求するのに使用される「atmConnectReq」、前に設定された接続を介して、サービス・データ・ユニット（SDU）をATM端末ポイントに伝送するのに使用される「atmTx」、そして、前に設定された接続を介して一つのATM端末ポイントからSDUを受け取るのに使用される「atmRx」等がある。図17の天頂部は、これらの構造を略示している。

前記「802.3ドライバ」101c層は、SDUをATMセル・フォーマットに変換し、ATM接続マネジメント、帯域幅マネジメント、及びシグナリングを

提供するコンポーネントを略して表している。この層は、ATM接続の創造及び破壊、伝送のためのSDUのATMセルへの変換、逆に、受信のためのATMセルのSDUへの変換、そして、ATMセルのイーサネットLANへの伝送の制御を行うのに使用される。

前記「802.3インターフェース」層は、イーサネットLANへのイーサネット・インターフェースを略して表している。これは、イーサネット・フレームの送信及び受信に使用される。

前記ATM100サービスのATM接続コンシューマも、同様に、それぞれ100a, 100b, 100c, 100dで示す「アプリケーション」、「ATM API」、「ATMドライバ」及び「ATMインターフェース」の4つの層を有したブロックとして図示されている。

前記「ATM API」100aへの上層のインターフェースは、前記「ATM API」が、前記イーサネット端末ステーション派生サービスに対して提供

するインターフェースと同様のインターフェースを、A T M接続端末ステーションにあるアプリケーションに提供する。

前記「A T Mドライバ」層1 0 0 bは、S D UをA T Mセル・フォーマットに変換し、A T M接続マネーजेメン

ト、帯域幅マネージメント、及びシグナリングを提供するコンポーネントを略して表している。この層は、A T M接続の創造及び破壊、伝送のためのS D UのA T Mセルへの変換、逆に、受信のためのA T MセルのS D Uへの変換、そして、A T MセルのイーサネットL A Nへの伝送の制御を行うのに使用される。

前記「A T Mインターフェース」層1 0 0 cは、A T MネットワークへのA T Mインターフェースを略して示している。このインターフェースは、A T Mセルの送信受信に使用される。

図1 6において、A T Mスイッチは' X' に類似のアイコンによって示されている。このアイコンは1 0 3と1 0 3 aとの二つが示されている。スイッチ1 0 3は、A T Mエンドポイントへの直接リンクを提供する。スイッチ1 0 3 aは、仮想スイッチ1 0 5の一部を形成し、これは「8 0 2. 3ドライバ」層の上に重ねられている。

図1 6において、すべてのA T Mアプリケーション間にはピア関係が含まれている。即ち、これらのアプリケーションは、前記A T M A P Iを介して利用可能となるサービスを利用することによって、ピアベースで情報を交換することが出来る。

A T Mサービスは、前記イーサネットL A Nを前記仮

想A T Mスイッチ1 0 5への仮想ポート拡張部として使用することによって、イーサネット接続端末ステーションにまで拡張される。図1 6において接続されているその他のいずれかのエンドステーションとのA T Mメッセージの交換を希望するイーサネット・ホストは、前記A T M仮想スイッチへ伝送されるセルを転送し、この仮想スイッチは、これらのセルを適当なA T Mリンクに転送する。ここで重要なことは、これらのセルが伝送されるA T M端末ステーションが、そのセ

ルの発生源と同じイーサネット・セグメント上にある場合においても、これらのセルは、仮想ATMスイッチに先ず転送されるということである。

前記仮想スイッチ105の下層部105bは、上述したようにリッジによって提供可能である。

前記イーサネットLANへの決定論的アクセスを確保するために、前記仮想ATMスイッチ以外のいずれのステーションも、仮想ATMスイッチからマネジメント指示フレームを受け取るまでは前記LANセグメント上においていかなるデータも送信することが出来ない。前記マネジメント指示フレームは、そのイーサネット接続端末ステーションがどの仮想チャンネル接続(VCC)で伝送出来るかを特定する情報を含んでいる。更に、仮

想ATMスイッチが前記マネジメント指示フレームを発生する場合、この仮想ATMスイッチは、初期化された時に、前記VCCに関連付けられた帯域幅パラメータに依って、当該スイッチから前記イーサネット接続端末ステーションに伝送されるべきデータを測定する。

図17は、ATMサービスを使用する前記イーサネット接続端末ステーションにおいて前述した複数の層の関連内部特徴構成を略示している。この図の右手側は、参照の目的のためのこれらの層を線によって示している。イーサネット接続端末ステーションにおいてATMサービスを利用するために開発されたアプリケーションは、ATM APIの上方に図示したインターフェース・ポイントを使用する。ATM APIは、図示し前述したサービス・インターフェースの全部を示すものではない(not exhaustive)。代表的なサブセットが図示されている。図17は、SDUからイーサネット・フレームへのATMセルへのデータの流れを示している。マネジメント・フレーム(表示)のデータ・フローも図示されている。

図18は、図16の仮想ATMスイッチ105の主要部分を示している。図18は、ATMサービスを希望するイーサネット接続端末ステーションへ拡張されるサー

ビスである、集中帯域幅、コール・セットアップ、及びシグナリング機能を示している。この図は、更に、前記コール・スイッチング・データ・パス、いかに、代理（仮想的に拡張された）サービスが、前記A T M M g m t . &シグナリング・ブロックを介してイーサネット接続端末ステーションに拡張されるか、も示している。

用語集

1 0 B A S E F

光ファイバによるイーサネット／8 0 2 . 3の三つの標準。8 0 2 . 3（T B D）に規定されている。

1 0 B A S E T

無シールドツイスト・ペアによるイーサネット／8 0 2 . 3。8 0 2 . 3（i）に規定されている。

8 0 2 . 1（d）透過スパニング・ツリー

これは、M A Cブリッジのネットワークに於ける、ルート選択、ループ検出及び回避のためのI E E E標準プロトコルである。

8 0 2 . 2論理リンク制御

これは、ローカル・エリア・ネットワークのデータ・リンク層のためのI E E E標準である。I S O 8 8 0 2／2.とも呼ばれる。

8 0 2 . 3 C S M A／C D L A N

これはイーサネットとほぼ同じI E E E標準L A Nである。これは、アクセス制御のためにC S M A／C Dを使用するバスである。I S O 8 8 0 2／3としても標準化されている。

8 0 2 . 5 トーンケン・リング

アクセス制御のためにトークン・パッシングを使用するリング用のI E E E標準。T o k e n R i n g（トークン・リング）としても知られ、I E E E 8 0 2 . 5及びI S O 8 8 0 2／3として標準化されている。

A L L A T M適合化層

非A T M情報とA T Mセルとの間の双方向変換に使用されるプロトコル。

A T M非同期転送モード

転送の基本単位として53バイトのセルを使用する交換／伝送技術。A T Mセルは、5バイトのA T M層オーバーヘッドと、48バイトのA T Mペイロードとに分けられる。A T Mは基本的に統計的であり、多数の「仮想回路」が帯域幅を共有する。

A T M適応 (a d a p t a t i o n) 層

非A T M情報とA T Mセルとの間の双方向変換に使用されるプロトコル。

C P S S (制御パケット交換システム)

装置間の通信用のネットワーク・プロトコル。C P S Sは、ネットワーク・エレメントとネットワーク・マネージメント・エンティティ間で制御及びステータス情報を伝送するのに使用される無接続パケット交換プロトコルである。

C R C (巡回冗長検査)

フレーム検査シーケンスの一種。

D V ルータ (距離ベクトル・ルータ)

C P S Sによって使用される距離ベクトル (ベルマン・フォードとしても知られている) ルート選択アルゴリズム。C P S S-1 に於いて提供されている唯一のルート選択アルゴリズム。

D V M R P (距離ベクトル・マルチキャスト・ルート選択プロトコル)

I Pマルチキャスト・サービス用のルート選択テーブル計算プロトコル。

E G P (外部ゲートウェイ・プロトコル)

自律システム間においてルート選択情報を伝はんするのに使用される I E T F 標準プロトコル。

イーサネット

70年代後半に、ゼロックス社P A R Cにおいて開発されたC S M A / C D ロール・エリア・ネットワーク。I E E Eによって802.3として標準化されたL A Nとほとんど同じ。

F C S (フレーム・チェック・シーケンス)

データパケットの伝送中のエラーを検出するのに使用するチェックサム・ルーチン。

F F D I (分散型ファイバ回線データ・インターフェース)

A N S I 標準 1 0 0 M ビット／秒のローカル・エリア・ネットワーク。そのトポロジはリングであり、アクセス制御にトークン・パッシングを使用する。

H D L C (ハイレベル・データ・リンク制御)

情報フレームにアドレス、制御及びフレーム・チェック・シーケンス・フィールドを提供するビット指向 (b i t - o r i e n t e d) プロトコルの一群。

H E C (ヘッダ・エラー・チェック)

各 A T M セルの最初の 4 バイトの内容をプロテクトする C R C - 8 の妥当性をチェックする処理。

L A N (ローカル・エリア・ネットワーク)

地理的に限定された領域 (通常、1 マイル程度) において複数の計算装置間を相互接続するように構築された

システム。

L A T (ローカル・エリア・ターミナル・プロトコル)

低遅延、高帯域幅伝送路用に最適化されたローカル・エリア・ネットワークのターミナル-ホスト接続用の D E C - p r o p r i e t a r y。

L A T M (ローカル A T M)

物理 A T M リンク

L L C (論理リンク制御)

前記 8 0 2 . 2 参照

L S ルータ (リンクステート・ルータ)

C P S S によって使用されるリンクステート (最短経路優先) ルート選択テーブル計算アルゴリズム。

L U E (ルックアップ・エンジン)

ハードウェア・テーブル検索機。

MAC (メディア・アクセス制御)

I S Oリファレンス・モデルに記載されているデータ・リンク層の下部サブレイヤ。MAC層の目的は、物理媒体を介する信頼性の高いデータ伝送メカニズムを提供することにある。

N I C (ネットワーク・インターフェース・カード)

例えば、L A N又はA T M等のネットワークに対する接続性を提供するために、通常はユーザによってワークステーション又はパーソナル・コンピュータに追加可能なアダプタ・ボード。

N L S P (N e t W a r eリンク・サービス・プロトコル)

N o v e l l社のN e t W a r e用リンクステート (別名、最短経路優先) ルート選択プロトコル。

N M T I (ノード・マネージメント・ターミナル・インターフェース)

異なった管理領域下において作動する二つのネットワーク・ノード間のインターフェース。

O A M C e l l (オペレーション・アンド・メインテナンス・セル)

特殊なタグが付けられたA T Mセル (例えば、ヘッダが、ユーザ・データA T Mセル用のヘッダと異なっている)。O A Mセルは、接続性検証、アラーム・サーベランス、連続性チェック、及びパフォーマンス・モニタリング等のA T Mネットワーク・メンテナンス・フィーチャをサポートするために特殊化される。

O S P F (オープン最短経路ファースト)

I Pネットワークにおいて経路決定に使用されるI E T F標準リンク状態経路決定プロトコル。

P C I (周辺装置相互接続)

周辺機コンピュータ用の出力高速拡張バス。

P T S (プロブラム・トラッキング・システム)

フィルード、及び、N e w b r i d g e内に見つかった問題に対応するためにN e w b r i d g eによって使用される集中問題追跡データベース・システム)

。

P V C（固定接続型仮想チャンネル）

管理操作によって設定される、仮想チャンネル又は仮想経路種のエンド・ツー・エンド論理A T M接続。

S N M P（シンプル・ネットワーク・マネージメント・プロトコル）

T P C／I Pローカル・エリア・ネットワーク中のエンティティのマネージメントのための標準。オリジナル（S N M P v 1と呼ばれる）と、新拡張バージョン（S N M P v 2と呼ばれる）との二つのバージョンがある。

S A R（セグメント化及びリアセンブリ）

非A T MオフアドペイロードをA T Mセルに分解（セグメント化）し、A T Mセルを、その回路の元のフォーマットに再構成する（リアセンブリ）プロセス。

S A C（交換型仮想チャンネル）

シグナリングによって設定される仮想チャンネル。

T C P（転送制御プロトコル）

T C P／I Pプロトコル組用の層（およそ）プロトコ

ル。R F C 7 9 3に定義されている。

トークン・リング

前記8 0 2． 5参照。

T X C

転送コントローラ。イーサネット転送用のリッジR I S Cコンプレックス。

U D P（ユーザ・データグラム・プロトコル）

I Pネットワークにおいて使用されている未確認データグラム・プロトコル。

R F C 7 6 8に定義されている。

U N I（ユーザネットワーク・インターフェース）

A T MユーザとA T Mネットワークとの間のインターフェース。

V C（仮想チャンネル）

A T Mセルのシーケンシャル単方向転送を行う通信チャンネル。

V C C（仮想チャンネル接続）

エンド・ツー・エンドシグニフィカンスを有し、A T MサービスのユーザがA T M層にアクセスするポイント間に延出する仮想チャンネル・リンクの連鎖。A T Mセルのペイロードが、そこへ送られるポイント、又は、そこから受け取られ、かつ、処理のためにA T M層を使用するユーザは、V C Cのエンド・ポイントを示す。

V C I

仮想回路識別子。A T M接続を識別するのに使用する16ビットのアドレス。

V P

仮想パス。V C 間の論理関係又はバンドル。

V P I (仮想パス接続)

A T M経路を識別するのに使用され、セル・ヘッダに含まれる8ビット値。V C Iと同様、これは、加入者側においてシグニフィカンスを有し、l a r g e s c o p e V P CであるローカルU N Iに対してアクティブなV P Lを参照する。

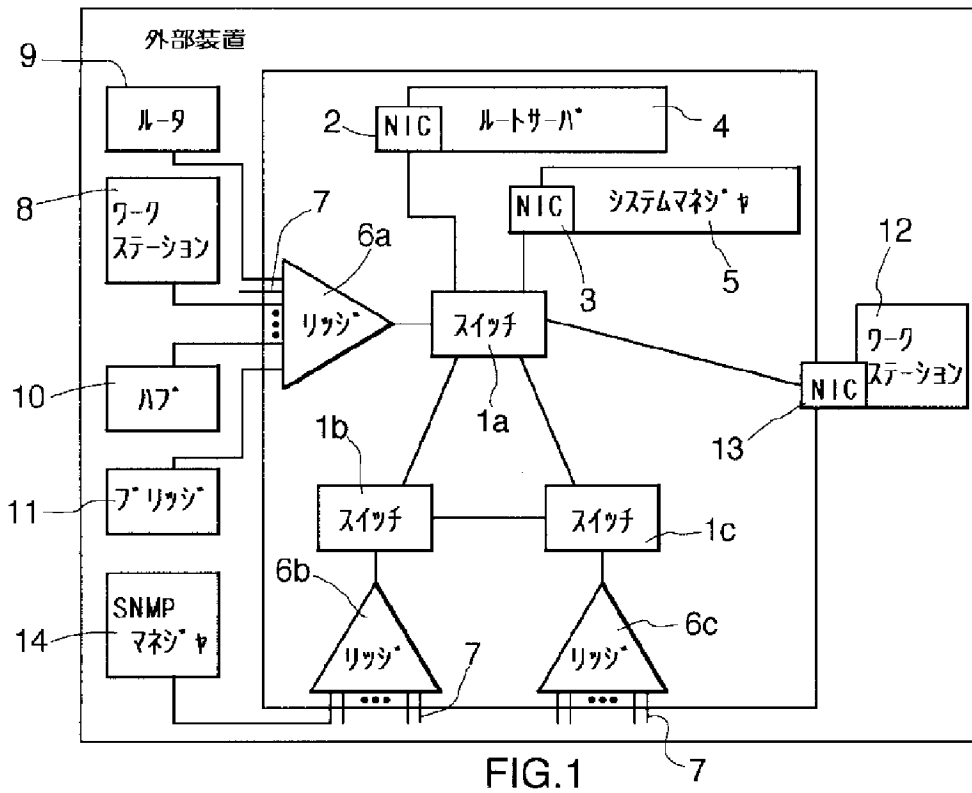
W A N (ワイド・エリア・ネットワーク)

一つのキャンパス内において複数のコンピュータ間を相互接続するように構成されたシステム。

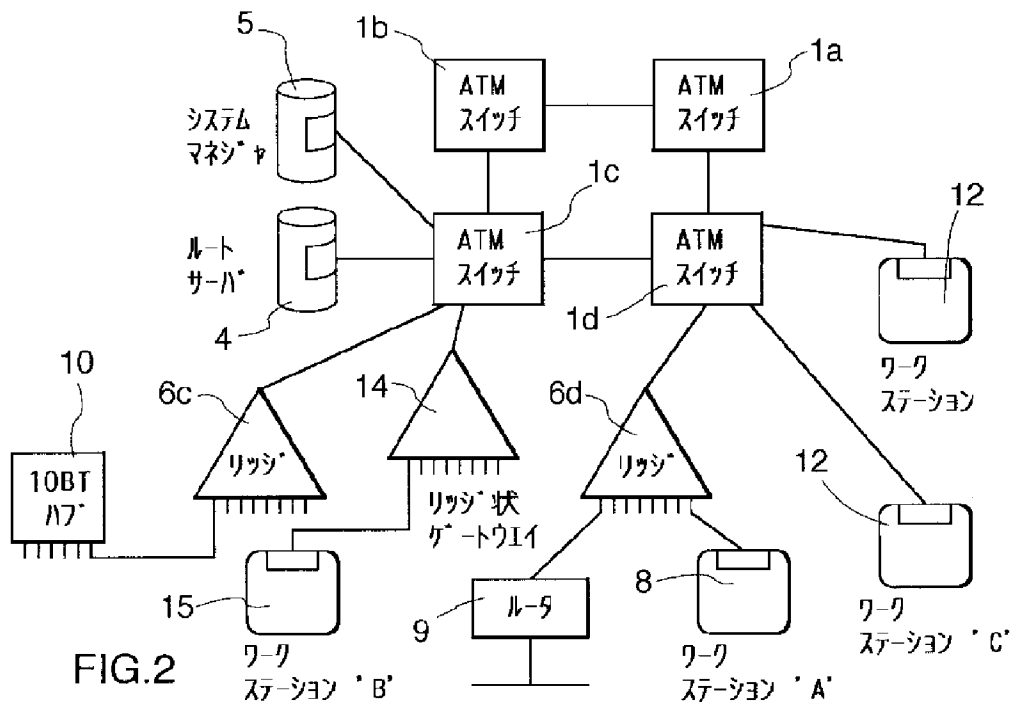
X I D (交換識別)

多数のH D L C ー状プロトコルによって識別と交渉とに使用されるフレーム。

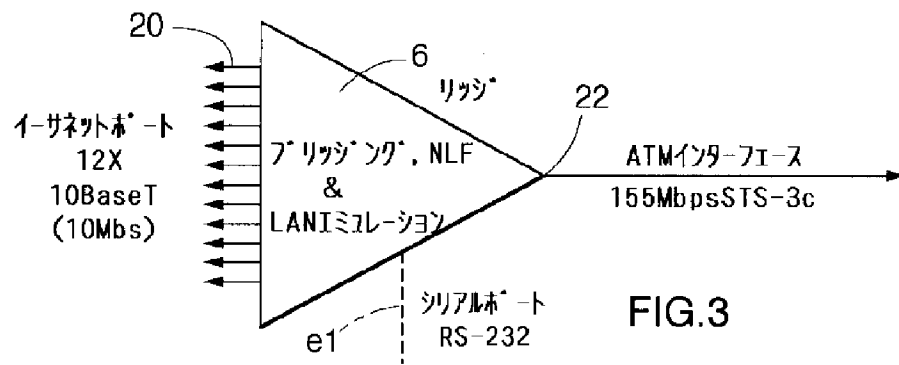
【図1】



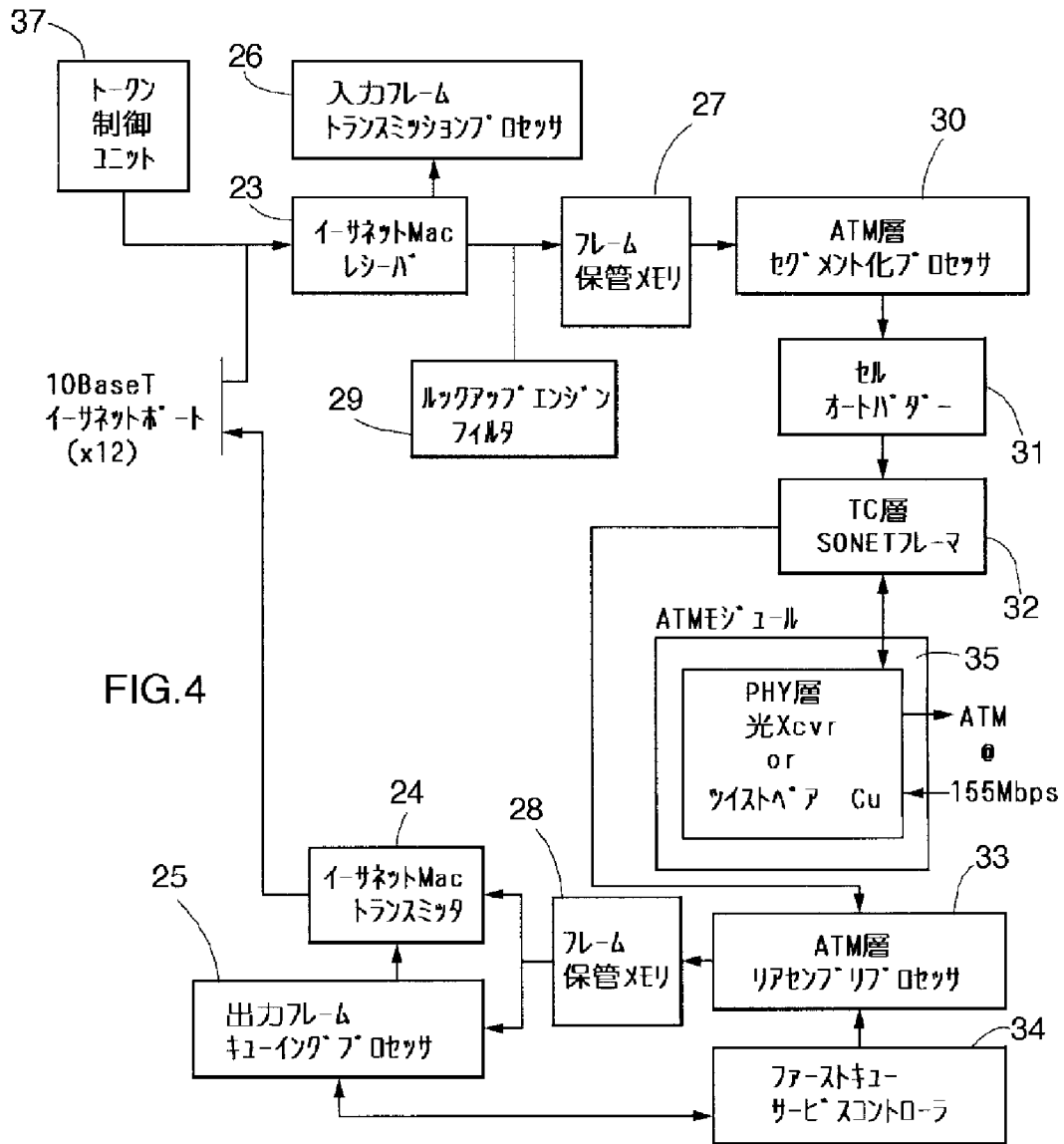
【図2】



【図3】



【図4】



【図5】

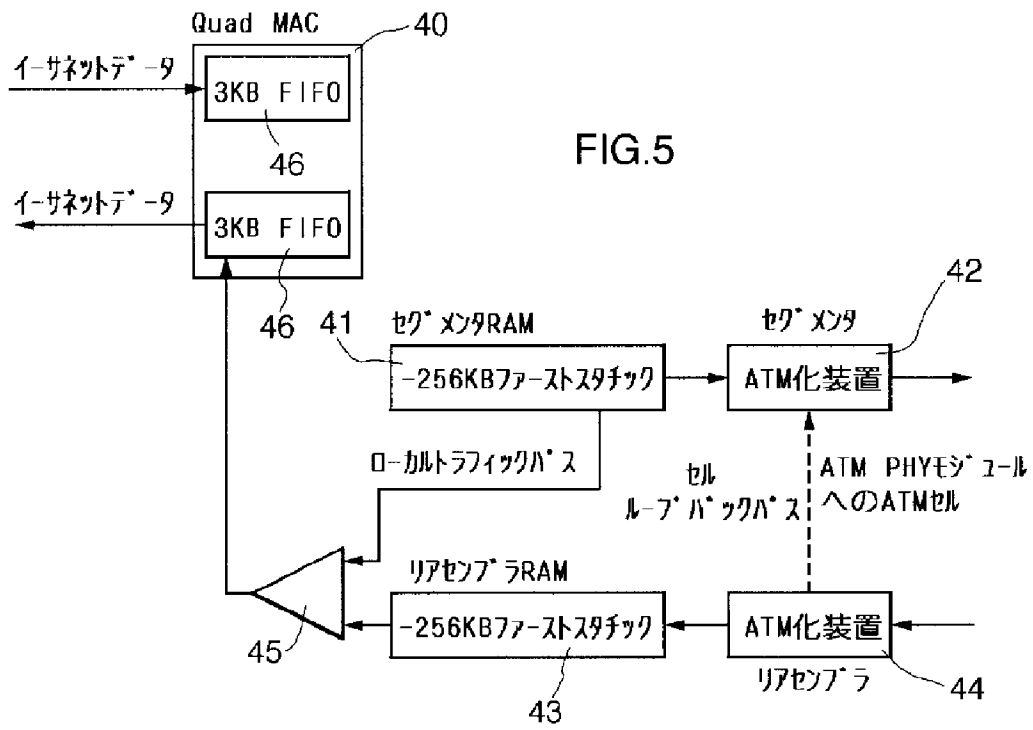
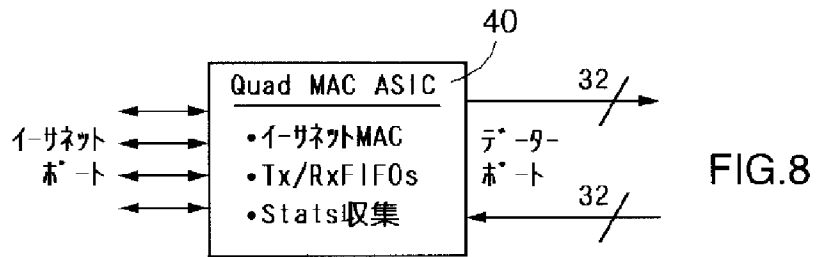


FIG. 6

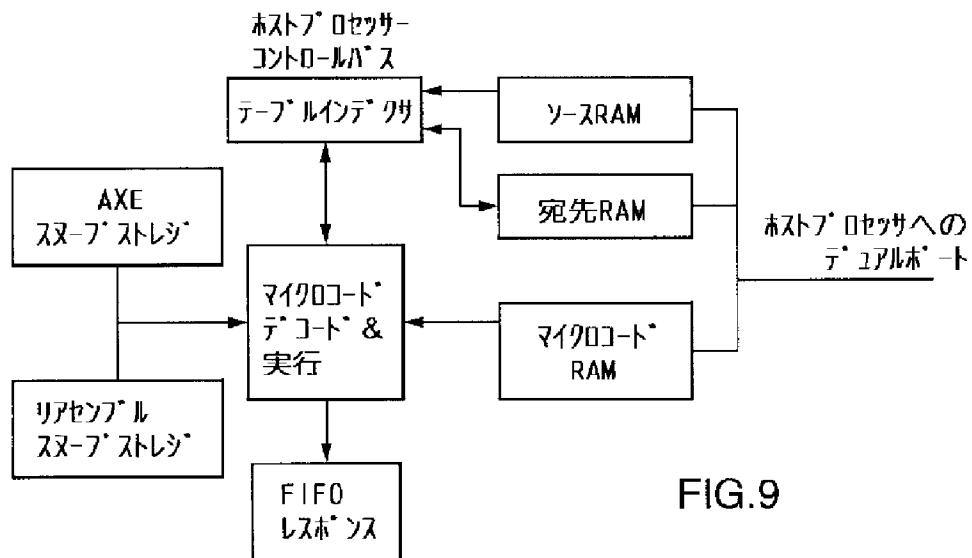
FIG. 7 is a block diagram of the system architecture. It shows the flow of data from ATM PHY modules to an Ethernet network. The main components and their connections are as follows:

- ATM PHY モジュールからのATMセル** (ATM cells from ATM PHY module) enters the **ATM化装置** (ATM conversion device, 44).
- The **ATM化装置** (44) outputs to the **リアセンブラRAM** (Disassembler RAM, 43), which contains a **-256KB ファーストスタック** (First stack).
- The **リアセンブラRAM** (43) outputs to the **Quad MAC** (46), which contains a **-3KB FIFO**.
- The **Quad MAC** (46) outputs **イーサネットデータ** (Ethernet data) to the network.
- The **ATM化装置** (44) also outputs to the **セグメンタRAM** (Segment RAM, 44), which contains a **-256KB ファーストスタック** (First stack).
- The **セグメンタRAM** (44) outputs to the **0+側で回線交換されたイーサネットデータ** (Ethernet data switched on the 0+ side).
- The **ATM化装置** (44) outputs to the **LUIソジン** (LUI Sogin, 29).
- The **LUIソジン** (29) outputs to the **QMAC DMA実行 MACヘッダ追加** (QMAC DMA execution MAC header addition, 50).
- The **QMAC DMA実行 MACヘッダ追加** (50) outputs to the **0+側で回線交換されたイーサネットデータ** (Ethernet data switched on the 0+ side).

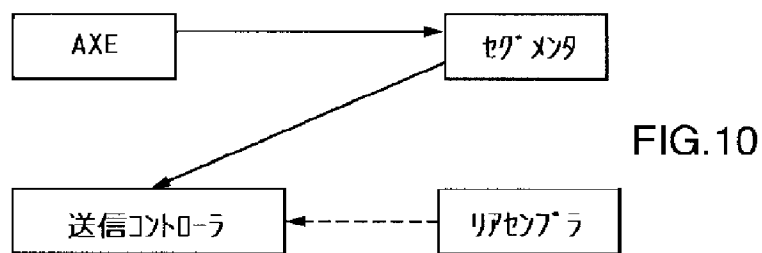
【図8】



【図9】



【図10】



【図11】

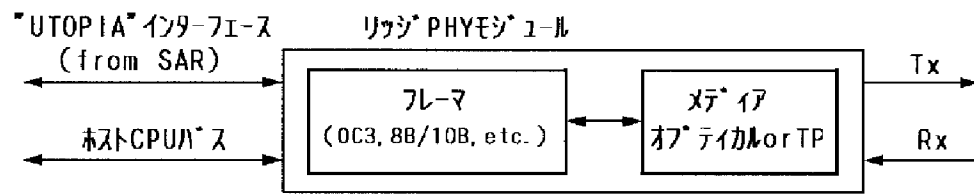


FIG.11

【図12】

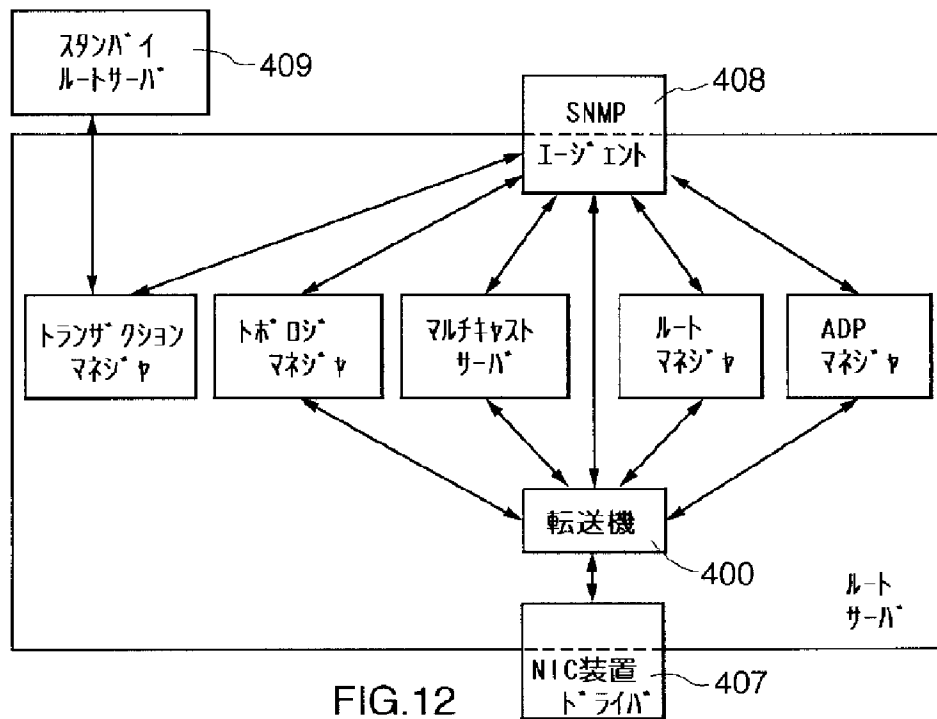
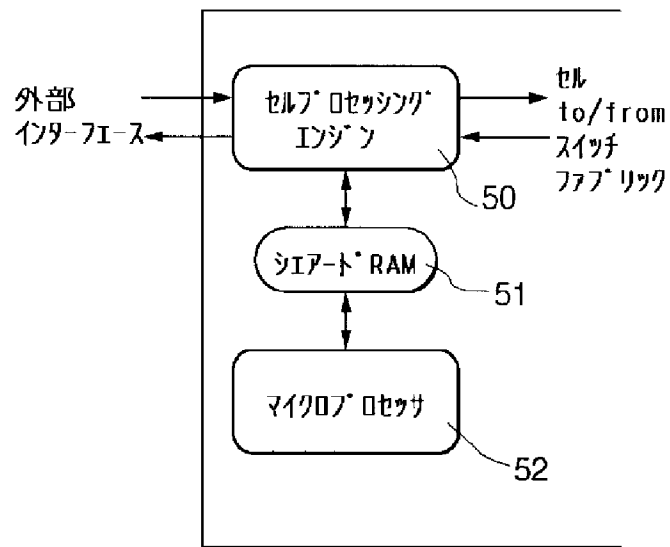


FIG.12

【図13】

FIG.13
PRIOR ART

【図14】

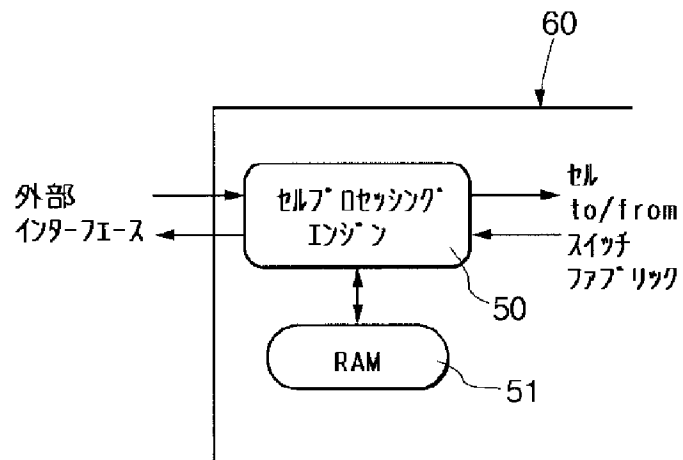


FIG.14

【図15】

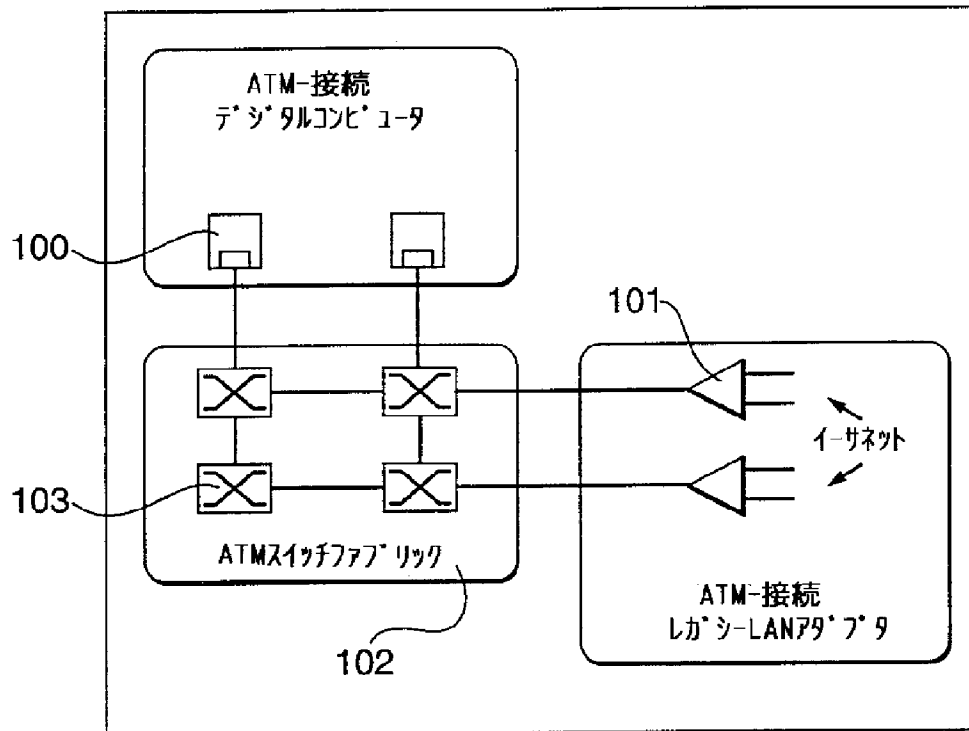


FIG. 15

【図16】

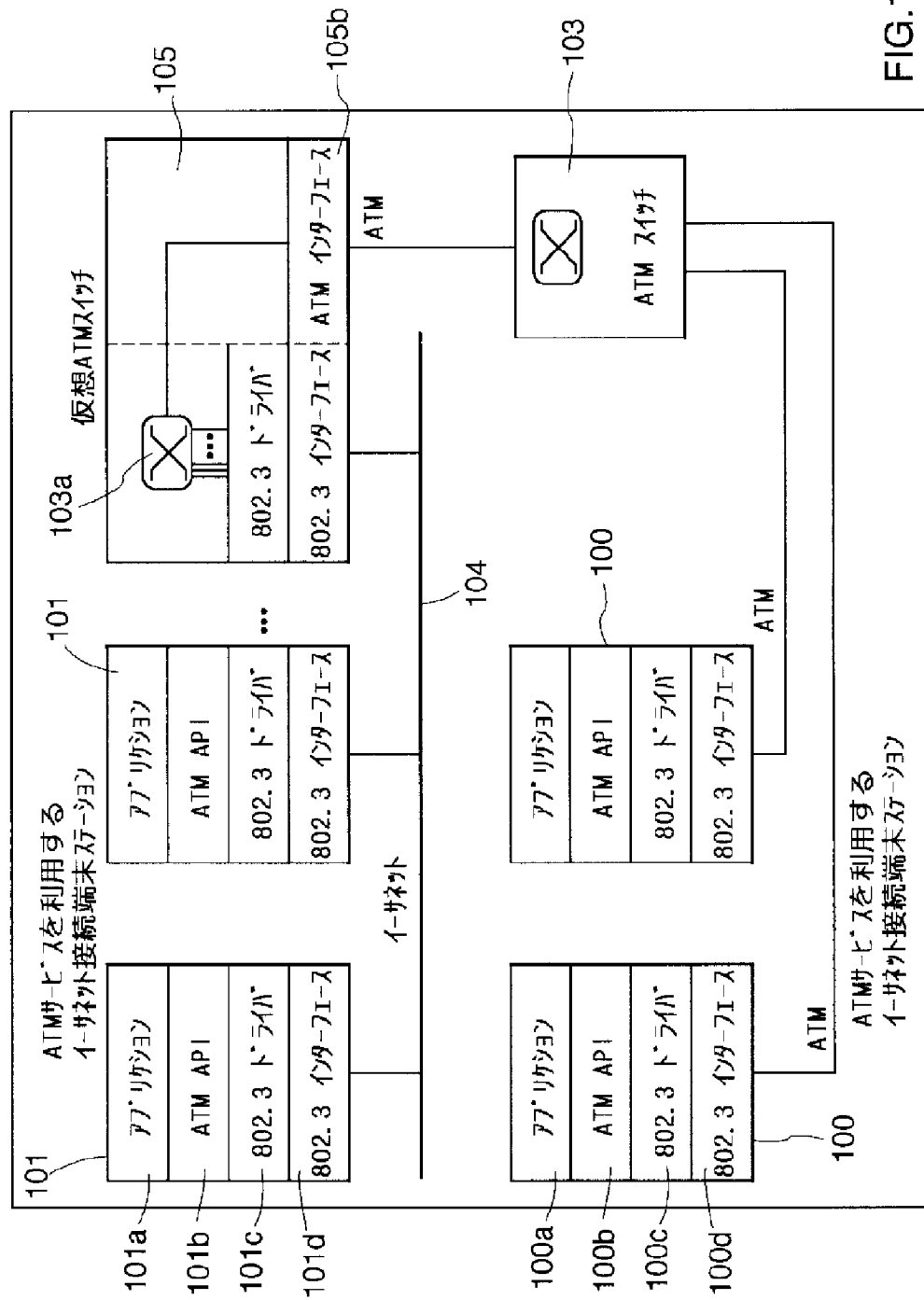


FIG.16

【図17】

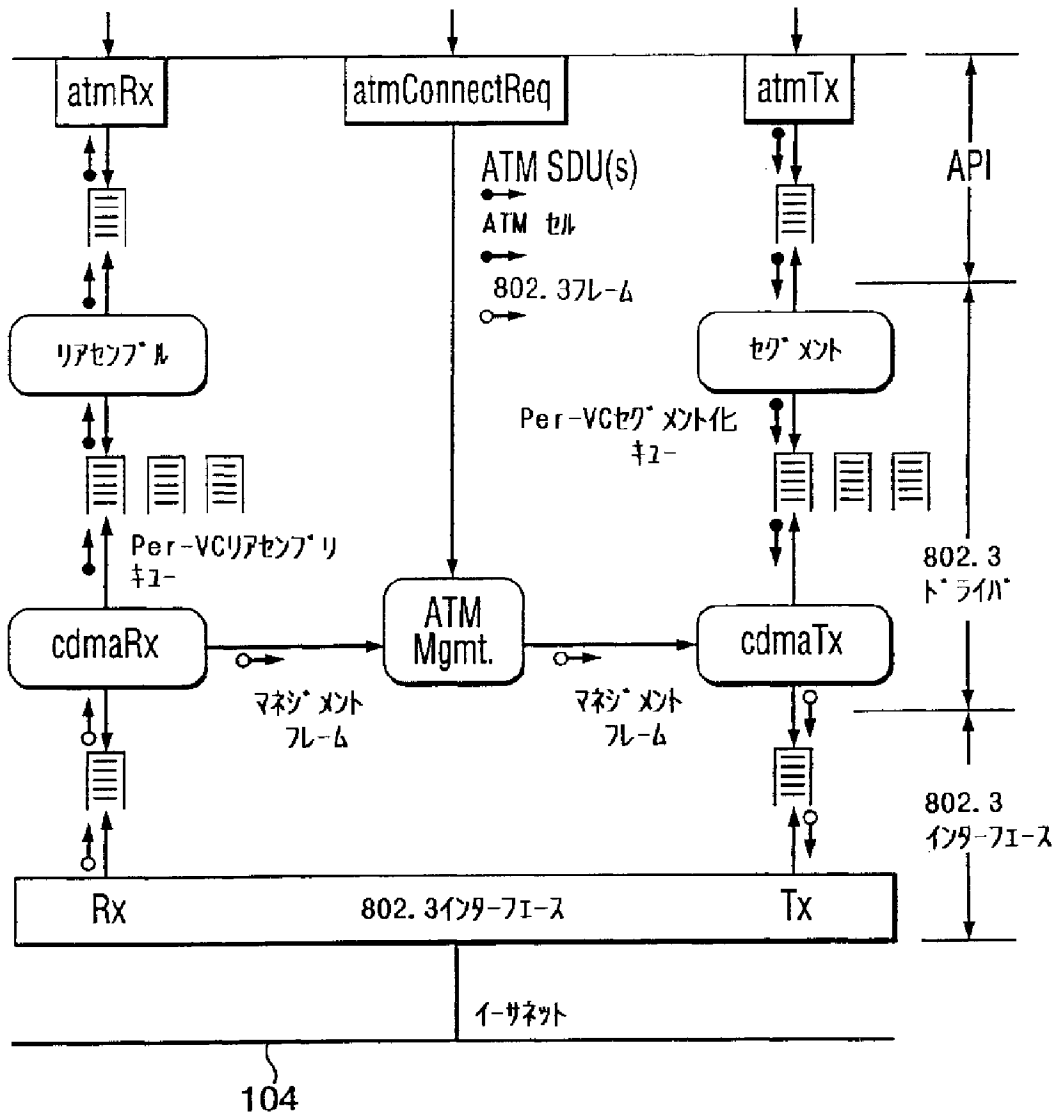
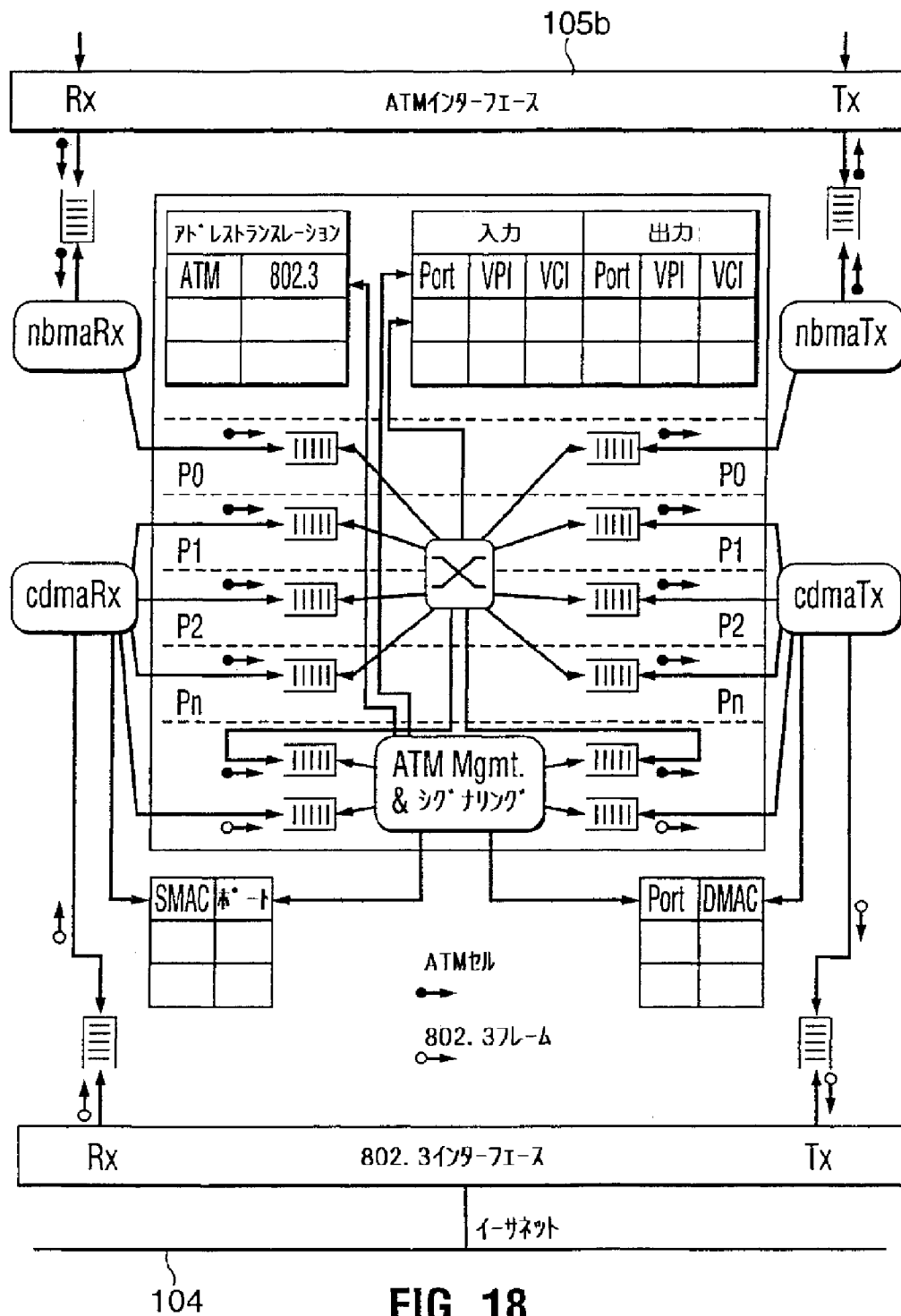


FIG. 17

【図18】



【手続補正書】特許法第184条の8

【提出日】1996年2月1日

【補正内容】

コンピュータ通信ネットワーク

本発明は、コンピュータ通信ネットワークに関する。

コンピュータやワークステーション等のデジタル式ユーザ側装置間の通信用のコンピュータ通信ネットワークとして様々なタイプのものがある。例えば、限定された地理的地域（一般に約1マイル）においてコンピュータ間を相互接続するように構成されたシステムはローカル・エリア・ネットワーク（LAN）として知られている。このようなシステムの一例はイーサネット（Ethernet）であり、これは1970年代後半にゼロックス社によって設計された。これは、10Mbpsで作動し、データは、イーサネット・フレームとして構成されたツイスト・ペアによって伝送される。

より長距離の場合には、ワイド・エリア・ネットワーク（WAN）が使用される。このWANの一つのタイプは、ATM（非同期転送モード）使用するものである。ATMは、伝送の基本単位として53バイトのセルを使用する。各ATMセルは、5バイトのATM層オーバーヘッドと、48バイトのATMペイロードとに分けられる。ATMネットワークは、本質的に統計的であり、ATMセルは、ネットワーク内部に設定される仮想チャンネル

を介して伝送される。

セル回線交換多重化方式の使用により、ATMは、ブロック回線交換構造（fabric）という統計的多重方式の利点を利用することによって帯域幅利用を行う。同機種間ATM環境下においては、ATM端末アダプタは、前記ATM回線交換構造（fabric）に接続され、潜在的に完全な網型の論理接続通信インフラストラクチャを形成する。ATMアダプタとしては、ATMセル・ストリームをATMサービスのユーザにインターフェースするどのようなエッジ装置であってもよい。ATMアダプタの典型的な例としては、デジタル・コンピュータ用のATMネットワーク・インターフェース・カード（NIC）がある。

一般に、ネットワーク化されたコンピュータは、イーサネット等のローカル・エリア・ネットワークへの接続用のLANアダプタを備えている。しかし、このようなLANアダプタによっては、ATMネットワーク等のワイド・エリア・ネットワークに接続することはできない。特製のATMアダプタ・カードをネットワーク化コンピュータに挿入することも可能ではあるが、これには、コンピュータの物理評価と、適当なドライバ・ソフトウェアの供給とが必要である。

PCT出願WO/93/26107は、ATMセルをイーサネット・フレームにアSEMBルする、又は、逆にイーサネット・フレームをATMセルにアSEMBルして、遠隔のイーサネットLANに接続された装置がATMネットワークを介して透過的に通信可能とするATM-イーサネット・ポータルが開示されている。各イーサネット・セグメントと、ATMネットワークとの間に位置するポータルが、出力イーサネット・フレームをATMセルにセグメント化、もしくは、ATMセルを出力イーサネット・フレームにセグメント化する。ポータルは、ISOモデルにおいて低レベルで作動し、非イーサネット装置との通信はできない。データ・リンク・層（層2）よりも上に位置するプロトコルは、ポータルによって解釈されない。

一つの実施例において、前記イーサネット・フレームは、マニュアルで環境設定された仮想回路を介して、一つのイーサネットから別のイーサネットに送られる。これは、非効率的で時間のかかるプロセスである。別の実施例において、前記ATMネットワークにおいて、一対のポータル間に固定仮想回路が設定され、送信ポータルが各ポータルにセルを送信する。これは、セルをすべてのポータルに送らなければならない、ネットワークを不要

に渋滞させてしまうことから、帯域幅を効率的に利用するものではない。

別の実施例において、イーサネット・セグメントの一つのホストに接続された接続プロセッサが、種々のイーサネットセグメントに接続されたポータル間のマルチポイント接続の環境設定を行う命令を送り出す。次に、送信ポータルは、出力ATMセルを前記マルチポイント接続上のすべてのポータルに送る（帯域幅の

非効率的な利用)。別の実施例において、前記接続プロセッサが、ローカル・ポータルに対して、予め設定された仮想回路の内どの回路がセルを送り出すかを指示する原始的なルート決定を裁縫している。これは、ローカル・ポータルに接続された接続プロセッサがその遠隔ポータルに対して既にPVCをセットアップしている場合にのみ作用する。

PCT出願WO/93/26107においては、各ポータル対間において固定仮想回路が必要であり、これによって、システムの大きさを大幅に制限している。これは、各電話機対を互いに接続しなければならないunswitched電話システムに類似している。電話機の数増加に伴って接続の数が指数関数的に増加する。更に、各ポータルが、どの回路が、その宛先の装置が接続されているポータルにつながっているかを知って

いなければならない、その結果、各ポータルの各ルックアップ・テーブルを、装置がネットワークに接続される度にアップデートしなければならない。上記出願に記載されているシステムは、小数のポータル専用として意図されたものである。ポータルに対して回路が存在しない場合には、ポータルはそのネットワークを介して通信できない。

最後に、上記PCT出願に記載されているシステムは、イーサネット・フレームをイーサネット・セグメント間で伝送するように構成されたものにすぎない。これは、イーサネット接続装置とATM接続装置との間の通信を可能にするものではない。

EP 473, 066は、複数のLANが、それぞれのブリッジを介して一つのATMネットワークに接続されているネットワークを記載している。各ブリッジは、そのネットワーク上のすべての装置のアドレスを保持している。この構成の問題は、新しい端末の存在に対して応答することができないということにあり、従って、もしもブリッジがある宛先端末のアドレスを知らなければ、それは、前記ATMネットワークをフラッドしなければならない、従って、大量の帯域幅を不要に消費してしまう。

EP 524, 316は、ATMファブリック（接続

指向ネットワーク)を介して複数のLAN(無接続ネットワーク)を相互接続するシステムを記載している。このシステムにおいて、各ATMスイッチに無接続サーバが関連つけられ、セグメント化されたLANフレームは、先ず、ATMセルとして、固定仮想接続(PVC)を介して送信サーバへと中継され、次に、この送信サーバから前記ATMファブリックを介して受信サーバへと送られなければならない、前記受信サーバからセルは、第2の固定接続を介してリアセンブラへと送られる。これは、この特許において記載されている先行技術を改良したものであるが、このシステムは、各スイッチに関連付けられる無接続サーバと、この無接続サーバとそれがサブする端末との間に維持されるべきPVC(これは高価である)とを必要とする。更に、各無接続サーバは、宛先端末のナンバーを保持しなければならない。もしも、無接続サーバが宛先アドレスを知らなければ、それは、帯域幅を不要な大量消費するネットワークのフラッディングすることなく、セルを正しい宛先に転送することが出来ない。

従来のシステムはすべて、一つのATMを介して相互接続された複数のLANに接続された装置間の通信を提供する手段として構成されたものである。これらのシス

テムは、いずれも、LANに接続された装置と、ATMネットワークに直接に接続された他の装置との間の通信可能性を考慮したものではない。

本発明の課題は、これらの欠点を軽減することにある。

本発明に依れば、複数のATMスイッチを介してATMセルを伝送するATMネットワークから成るコンピュータ通信システムであって、該システムに接続された複数のユーザ側装置を有し、これら複数のユーザ側装置の少なくともいくつかは、単数又は複数のローカル・エリアネットワーク(LAN)への接続用のLANインターフェース・アダプタを有し、更に、前記ATMネットワークと前記ユーザ側装置との間のインターフェース手段を設け、前記ATMネットワークと、LANに接続された前記ユーザ側装置との間の前記インターフェース手段が、前記ATMセルを前記LANを介する前記ユーザ側装置への伝送用に適合可能であるものにおいて、前記ATMネットワークに接続された集中ルート・サーバが

、前記システムに接続された前記ユーザ側装置の位置に関するアドレス・データを保管し、前記集中ルート・サーバが、前記インターフェース手段を介して前記A T Mネットワークとデータを交換して、前記ユーザ側装置の位置を学習し、前記インターフェース手段が、前記ユーザ側装置

の一つと、このシステムに接続された他のいずれかのユーザ側装置との間のオンデマンド直接透過式通信を提供することを可能とすることを特徴としている。

本発明に依れば、例えば、パーソナル・コンピュータである前記複数のユーザ側装置は、その既存のL A Nアダプタを使用して、前記A T Mネットワークを介して相互接続することが可能となる。従って、前記A T Mスイッチ構造を含むネットワーク全体が、一つの仮想L A Nとして機能する。

一実施例において、前記A T Mセルは、L A Nフレームとしてカプセル化され、このカプセル化された状態で、イーサネットL A Nを介して前記L A Nアダプタ・カードに直接に伝送される。別の実施例において、前記インターフェース手段は、前記A T Mネットワークを介してすべての前記ユーザ側装置間の透過的通信を許容するためのブリッジング、ネットワーク層転送及びL A Nエミュレータ機能を提供する。このような装置は、前記A T MセルからL A Nフレーム、あるいは、逆に、L A NフレームからA T Mセルを作り出すものであり、これはリッジ又はブリッジ／ルータとして知られている。

この構成の利点は、前記ネットワーク・インターフェース・アダプタと、ローカル・ワークステーションに於

けるこれに付随のドライバ・ソフトウェアとのいずれも交換する必要がないことにある。

前記A T Mネットワークは全体として、外部のルーティング・ピア（e x t e r n a l r o u t i n g p e e r s）とトポロジ及び到達可能性（r e a c h - a b i l i t y）情報とを共有する分散ルータとして構成される。このネットワーク内の接続は、それぞれが類似のトラフィック特性を備えた多重接続を有する複数の予め定義された仮想パスを介してルーティングされる軽量（l i g h

t - w e i g h t) シグナル・コールを使用して、オン・デマンドで設定される。それぞれの接続は、低いユーザ要求 (c o m m i t t e d) 情報速度しか有していないが、それが有する前記仮想パスのレベルにまでバーストすることが可能であるので、トラフィック全体から統計的なゲインを達成しながら、リソースを制御することができる。

前記A T Mスイッチのネットワークは、L A N機能をエミュレートし、前記システムは、極めて大型の分散ブリッジ／ルータとして機能する。このシステムに接続された装置は、あたかも一つの大きなL A Nに接続されているかのごとく挙動する。このシステムの接続された諸装置は、それらが一つの大きなL A Nに接続されている

ものと「信じる」のである。L A Nのどこかに、ルータが現れ、これを介して多数の別のネットワークに到達することが可能である。これらの装置は、システムの真のアーキテクチャには全く気づかない。これらの装置は、L A NがA T M構造を介して拡張されており、前記「ルータ」の背後のネットワークも、この同じA T M構造の一部を構成しているということを知ることはできない。このシステムに接続されているルータも、これを、付属のルータを有するL A Nであると見なす。ルーティング情報は、標準式のルーティング・プロトコルを使用して、外部ルータとV I V I D「ルータ」との間で交換される。

以下、図面を参照しながら、本発明をより詳細に説明する。ここで、

図1は、本発明の第1実施例によって作動するワイド・エリア・ネットワークのブロック図、

図2は、本発明の第2実施例によって作動するワイド・エリア・ネットワークのブロック図、

図3は、リッジの機能を示す図、

図4は、前記リッジの内部動作をより詳細に示すブロック図、

図5は、前記リッジ内のトラフィック・フローの概略を示す図、

図6は、前記リッジへのイーサネット→A T M方向のトラフィック・フローを

示す図、

図7は、前記リッジへのA T M-イーサネット方向のトラフィック・フローを示す図、

図8は、Q M A Cをより詳細に示す図、

図9は、ルックアップ（検索）エンジンのブロック図、

図10は、前記リッジ中のバッファ・フローを示す図、

図11は、P H Yモジュールのブロック図、

図12は、A T M-L A Nネットワーク用のルート・サーバの詳細なブロック図、

図13は、A T Mスイッチ用の従来のO A M処理リソースを示す図、

図14は、本発明の一実施例に係るO A M処理リソースを示す図、

図15は、A T Mの全利点を提供することなく、L A NアダプタをA T Mネットワークに接続する構成を示す図、

図16は、A T Mサービスを使用するイーサネット接続端末ステーションに記載された層の関連内部特徴構成の略図、そして

図17は、仮想A T Mスイッチを示す図、

図18は、図17に示した仮想A T Mスイッチの詳細を示す略図である。

図1において、A T Mスイッチ1 a, 1 b, 1 cは、ワイド・エリア・ネットワーク非同期転送モード・ネットワーク（W A N）を形成している。スイッチ1 aは、ネットワーク・インターフェース・カード（N I C）2を介してルート・サーバ4に接続されるとともに、ネットワーク・インターフェース・カード（N I C）3を介してシステム・マネジャ5に接続されている。

ワークステーション12は、従来の方法により、ネットワーク・インターフェース・カード（N I C）13を介して前記ワイド・エリア・ネットワークに接続されている。N I C 13は、前記ワークステーション12の前記A T Mネットワークへの接続専用に構成されている。

スイッチ1 a, 1 b, 1 cは、更に、リッジとして知られているW A N-L A Nインターフェース装置6を介してルータ9、ワークステーション8、ハブ10

、ブリッジ11及びSNMPマネージャ14に接続され、これらはそれぞれ、この例に於いてはイーサネットである、ローカル・エリア・ネットワークへの接続用のローカル・エリアネットワーク用アダプタを備えている。

前記装置8, 9, 10及び11は、リッジ6aのそれぞれのイーサネット用ポートに接続され、SNMPマネージャ14は、リッジ6bのイーサネット用ポートの一つ

に接続された状態が図示されている。

前記ワイド・エリア・ネットワークは、前記ルータサーバ4の制御下で作動し、このサーバは、従来式の無接続式モデルのLANを、接続式ATMモデルへとトランスレートする。このネットワークは、従来式のルーティングテーブル計算プロトコル（例えば、RIPとOSPF）を実行し、外部ルータとの交信によって、前記無接続式ネットワークの拡張トポロジを学習する。又、このネットワークは、前記無接続式ネットワークのトポロジに関するその知識を完全なものとするためにすべての外部装置の存在を検出する。

前記ルート・サーバ4は、システム・マネージャ5から前記ATMネットワークのトポロジを学習し、前記ATMトポロジとLANトポロジとの間のマッピングのための必要に応じて、前記リッジ6の環境設定を行う。

前記ルート・サーバ4の機能は、ATM-LANシステムに接続された諸装置のトポロジを維持することにある。このトポロジ情報は、ソースからのLANトラフィックのATMネットワークを介した宛先への転送とルーティングに使用される。トラフィック転送は、前記ルート・サーバと、更に、このルート・サーバがトポロジについて伝える情報を使用する前記リッジ6とによって行

われる。この環境設定が許容するネットワークのどの場所においても装置を接続することが出来るという能力は、このシステムに固有のものであり、この機能は、前記ルート・サーバ・トポロジ・マネージメントによって行われる。

従って、前記ルート・サーバ4は、LANネットワークの数、装置のメンバーシップ、フィルタ及びアクセスの規制等の、仮想LANを形成する管理情報を有

している。

前記ルート・サーバは、スイッチとトランクとのレイアウトについて認識しており、すべての接続装置の存在

を検出する。ルート・サーバは、この完全なネットワークに関する知識を使用して、確実に、パケットがATM接続の動的網を使用して、前記システムを介して正確に転送されるようにする。

より小型のネットワークにおいては、前記ルート・サーバ4は、ARPサーバとして、更に、ブロードキャスト・サーバ（より大型のネットワークには、複数の別個のルート、ARP及びブロードキャスト・サーバが含まれる）としても機能する。この機能において、ルート・サーバ4は、ブロードキャストトラフィックを、それを受け取ることを必要とするその他のすべてのネットワーク・エレメントに転送する。これによって、ルート・サーバ4は、前記ネットワークを通じて流れるブロードキャスト・トラフィックの量を制限するための種々の推論と最適化を利用することができる。例えば、ARPリクエストは、しばしば、そのネットワークに存在する大半の装置のアドレスを既に知っているルート・サーバによって直接に取り扱うことが可能である。フラッディングされる（flooded）必要のあるパケットの場合、ルート・サーバは、そのパケットの一つのコピーを、このパケットがフラッディングされるべきポートを示すマスクとともに、そのブロードキャストの送り先である各

リッジに送ることができる。

前記ルート・サーバ4の簡略化したブロック図を図12に示す。このルート・サーバ4は、集中ルータ転送サーバ400と、NIC装置ドライバ407と、トランザクション・マネジャ402と、トポロジ・マネジャ403と、マルチキャスト・サーバ404と、ルート・マネジャ405と、ADPマネジャ406とを有している。これらの装置402ないし406は、転送機400と、SNMPエージェント408とに接続されている。前記トランザクション・マネジャ402は、スタンバイ・サーバ409に接続されている。前記転送機400は、SNM

P エージェント 4 0 8 に直接接続されている。

前記ルート・サーバ 4 は、このシステム上のすべての装置の位置に関する情報を保持している。この情報は、装置のネットワークへの接続に伴って動的に学習されるものであり、標準式ルーティング・プロトコル、例えば、I P 及び I P X を介した、このシステムのエッジにあるルータとの通信を通じて学習される。この情報は、アドレス分散プロトコルを介してリッジ 6 に分配される。リッジ 6 との通信によって、これらのリッジは、大半のデータについて直接的にデータ転送を行うことができる。

前記集中マルチキャスト・サーバ 4 0 4 は、すべての

マルチキャスト・トラフィックを処理する。可能な場合、ルート・サーバ 4 は、更にネットワークへ更にブロードキャストすることなく、送られてきたデータに応答する。

前記ルート・サーバ 4 は、更に、L A N 装置の追加、移動及び変更を動的に許可するための L A N トポロジ・マネージメントと、システム管理者によって環境設定されたルールに反する装置に対する参入許可制御をとを行う。A T M L A N に接続された前記装置 9 ないし 1 4 は、前記ルート・サーバによって動的に検出され、許可された場合、ネットワークに参入する。前記リッジ 6 は、その装置の検出によってこの検出に参加する。ルート・サーバは、参入を許可するべきか否かと、もし許可するならばどのようなサービスを許可するのかを決定する。更に、ルート・サーバ 4 は、その装置の位置に関する情報を長時間維持する。ルート・サーバ 4 は、非類似ネットワークの装置間がシステムへのポートを共用することを可能にする。

前記ルート・サーバ 4 は、更に、フレキシブルで、ポータブルで、冗長なプラットフォーム・サポートを提供する。前記ルート・サーバは、シングルプラットフォームとマルチプロセッサ・プラットフォームとの両方をサポートする A T M ネットワークインターフェース・カー

ドを備えた S U N ワークステーション上で実行される。予備の (r e d u n d a

n t) ルート・サーバ409がサポートされ、これは前記主ルート・サーバ400が故障した時に、これに取って代わる。これら二つのプラットフォーム間の整合性を確保するために、ATMベースのメッセージング・プロトコルが使用されている。

上述したアーキテクチャの利点の一つは、これによれば、リッジの遠隔モニタの使用が可能であることにある。エラーを含めて被モニタ・ポートからのデータは、前記ネットワークを介して遠隔モニタへと送られ、この遠隔モニタ・ポートにおいて被モニタ・ポートからのデータが複製される。これによって、まるでオンサイトのように、遠隔的に被モニタ・ポートにおいてテストを行うことが可能となる。

好ましくは、被モニタ・パケットは、タグ付けされ、受取りッジによって普通に受け取られるパケットとして扱われることを防止する。

図1に戻って、各ATMスイッチ1は、このシステムのコアである高帯域幅セル回線交換を提供する。ATMスイッチは、3つのタイプ、即ち、ATMワークグループ・スイッチ(WGS)と、36170スイッチング・シェルフと、36170アクセス・シェルフとがある。

前記WGSは、顧客宅内アプリケーション用の、低コストの、12ポート、1.6Gビット/秒のATMスイッチである。前記36170スイッチング・シェルフは、最大8個のATMフィード・スイッチ及び/又はアクセス・シェルフを相互接続する12.8Gビット/秒のATMスイッチである。各スロットは、多数のATMインターフェースの一つを受け入れることができる。前記WGSについて、図13及び14を参照してより詳細に説明する。

現在、入力ポートにおいてOAM(オペレーション・アンド・マネージメント)サポートを提供するATMスイッチは、OAMセルを解釈し、発生するために専用のマイクロプロセッサ52を必要とする。OAM(オペレーション・アンド・マネージメント)セルは、図13に図示されているようにシェアードRAM51を使用するセル・プロセッシング・エンジン50によって前記マイクロプロセッサ52との間で伝送される。

このアプローチの欠点は、前記OAMの機能をサポートするのに追加コストと複雑性（PCBエリア、追加コンポーネント、シェアードRAMシステム）が必要とされることにある。この追加コストによって、コスト的に有利で、フル装備のマルチポート・スイッチを製造する

可能性が阻害される。

図14に示す本発明に依れば、前記セル・プロセッシング・エンジンは、すべての関連OAMセルを、予め環境設定された内部スイッチ・アドレスを使用して集中OAMプロセッシング・リソースへ向きを変えるように改造されている。セルのすべての処理は、この一つのマイクロプロセッサにおいて行われ、これによって、図14に示すように、各ポートにおいて専用のマイクロプロセッサ51を設ける必要が無くなる。

一つの好適な構成において、VCI（仮想チャンネル識別子）＝3又は4（セグメント及びエンド・ツー・エンド）及びVP（仮想パス）が回線交換されたセルが、

はVPI/VCIの取り出し、

- e) フレームのイーサネット・ブリッジング又はネットワーク層転送、
- f) ATMポートにおいて受け取られたIPフレームのフラグメント化、
- g) SONET STS-3cに従った伝送収れんサブレイヤ処理。

以下により詳細に説明するように、イーサネット・インターフェースにおいて、前記リッジは、受け取ったセルをカプセル化して、これらをその宛先に向けてATMネットワークに送り込む。ATMインターフェースにおいては、前記リッジは、その宛先へイーサネットを介して送る前に、接続されたイーサネット・ホストに向けられたこれらのセルをカプセル化する。

図2は、別の構成を示しており、ここで、類似の部分は類似の参照番号によって示されている。図2において、ATMスイッチ1cは、リッジ6cに接続されるとともに、リッジ状ゲートウェイ14に接続されており、このゲートウェイは、ワークステーション15に接続されている。ゲートウェイ14は、ATMセル

のイーサネット・フォーマットへの変換、又はその逆の変換を行う代わりに、イーサネット・フレームとして入力されるATMセル

をカプセル化して、これによって、これらがイーサネット・ドライバの助力によって、ローカル・ステーションのイーサネット・アダプタによって直接受け取られることを可能にする。

コンテンション（回線競合）のない公平性を達成するために、前記リッジによって接続されたイーサネット・ホストへマネージメント情報フレームが送られる。ホストがマネージメント情報フレームを受け取ると、これは、そのマネージメント情報フレーム中に示された仮想回路（単数又は複数）に、それが初期化された時に仮想チャンネルと関連付けられた帯域幅パラメータによって、そのデータを送る。このようにして、前記リッジとホスト（単数又は複数）が互いに同期されて、各ホストはコンテンション又は衝突無く特定量の帯域幅を得るのである。

次に図3において、ここに図示されているリッジ6は、イーサネット装置への接続用の12個の10Mビット/秒（10baseT）のイーサネット・ポート20と、一つのRS-232シリアルポート21と、155Mビット/秒のone OC-3 over マルチモード・ファイバATMポート・インターフェース・ポート22とを有している。上述したように、前記リッジ6は、ブリッジング、LANエミュレーション、及びネットワーク

層転送機能を行う。ユーザ・データ及びコントロール・トラフィック（前記ルート・サーバ及びシステム・マネージャ間）の両方がATMインターフェースに載せられている。

前記リッジ6の機能は、イーサネット・ブリッジング、ネットワーク層転送、及び12個のイーサネットポートと一つのATMポートのためのLANエミュレーションを行うことである。イーサネット間に挟まれたトラフィックは、ブリッジされるか、もしくは、直接にネットワーク層転送される。即ち、他のリッジへのトラフィックにそのATMポートが必要な場合には、カプセル化ATM層処理が行われる。

次に、より詳細なブロック図である図4において、前記リッジ6は、イーサネットMACレシーバ23とトランスミッタ24、出力フレーム・プロセッサ25、入力フレーム・プロセッサ26、入出力フレーム保管メモリ

れる。このアプローチは、すぐにシステムのボトルネックとなる単一のメモリシステムへの必要性を軽減する。

図4に示すトランスミッタ24とレシーバ23とを提供するQuadMAC40は、前記ATM方向側においてセグメンタRAM41とセグメンタ42とに接続され、イーサネット側の入力においてリアセンブラRAM43とリアセンブラ44とに接続された3Kビットの入力及び出力FIFO46を有している。バイパス・ユニット45は、入って来るイーサネット・トラフィックが、ATMネットワークをバイパスし、前記QuadMAC40の出力へ直接にパスされることを許容する。

図6は、ATM方向の前記パケットのフローをより詳細に図示している。先ず、イーサネット・フレームの全部がQuadMACASICFIFO46内部でバッファされ、次に、QMAC40は、受信コントローラ47を介してAXERISCプロセッサ48に対してDMAが必要であることを知らせる。AXE（伝送エンジン）48は、どのポートが選択されているかを考慮することなく、セグメンタRAMへのDMAを開始し、受信コントローラ47は、ラウンド・ロビン優先順位方式を使用しているポートを選択する。

次に、前述し、又、同時係属出願に記載されている前

記ルックアップ・エンジン29は、前記フレーム・ヘッダ情報（図9参照）を「fly by」モードでスヌープ及びロードし、ソース、宛先MACアドレス、プロトコル・タイプ、ポート・グループ等のコンテキスト・サーチを開始する。図6に示すように、デコードされたフレーム・データは、伝送エンジン（Axe）に送られる。

前記AXE48は、前記検索の結果を取り、もしもそう指示された場合には、そのパケットをドロップ又はネットワーク層変換を行うこともある。次に、これ

はC S - P D Uへ入力するために必要な状態にパケットを再フォーマットし、セグメンタ42にセル・スライシングを開始するように指示する。セグメンタは、A T Mセグメント化を実行し、完了後、前記バッファをリターンする。

前記A X E 48は、一体型高速DMAと、別体の第2プロセッサ・バスとを備えた50MHzのR3000RISCエンジンである。媒体の高速性能を維持するためには、これは、下記のタスクを5.6マイクロ秒(280サイクル)で完了しなければならない。このA X E 48は、前記DMAデータを、一度に約512バイトの移動速度でフォアグラウンドにおいてQMACとセグメンタRAMとの間を流し続ける。一旦、一つのパケットDMAが開始されれば、ポートのインターリーブ

は無い。バックグラウンドにおいて、パケット情報がL U E F I F Oから取り出され、A X Eパケット処理が開始さ

として使用されるニブルに分割される。テーブルへの16ビットのエントリは、次の4ビットのニブルと接続されて、次の16ワードのテーブルの20ビットのアドレスを形成する。最後のリーフ項目(エントリ)が、所望の情報を示す。L U Eのブロック図を以下に示す。

ビット・パターン認識は、マイクロコード命令セットによって行われる。マイクロコード化されたエンジンは、ひとつのパケット内のフィールドを予めプログラムされた定数と比較して、典型的には一つの命令における分岐とインデックスのインクリメントを行う能力を有する。このマイクロコード・エンジンは、前記検索アルゴリズムを完全に制御し、従って、これを特定の検索機能に適合させることが可能であり、新しい機能が必要な時にはマイクロコードがダウンロードされる。前記マイクロコード・エンジンによるパケット分析の出力は、A X Eが処理ルーチンに迅速に方向を向けるのに使用することが出来るインデックスである。

ソース・アドレスの学習及びエージングには、ツリーの操作が必要であり、これは、A X Eとホストプロセッサを使用してバックグラウンド・タスクとして行わ

れる。新たに発見されたソースのMACフレームの場合には、ホストプロセッサに内部メッセージが転送され、LUE

ソースRMAに追加されるパラメータが要求される。次に、ホストプロセッサは、前記LUE RAMにアクセスし、必要な状態に前記ツリーを再構成する。

前記LUEは、物理的には、一つの大きなFPGAと、それぞれ512Kバイトと1Mバイトの別々のソース宛先ルックアップ・メモリと、ダウンロード可能なマイクロコードRAMと、前記RISCプロセッサのインターフェースとしてのXilinx及びFIFO装置との組合せとに分割される。

セグメント化、リアセンブリ、及びQMACトラフィックに必要な単一の超高速メモリ・システムへの要求を緩和するために、前記ATM SAR機能は、リッジによって二つに分割される。従って、アーキテクチャは方向によって水平に分割され、実際には完全に二重のシステムとなっている。

前記セグメンタ・コンプレックスは、ATM化装置と、セグメンタRAMの主バスと、その第2バスの追加の高速ポインタ・メモリへのインターフェースと、前記リアセンブラへのメモリとから構成されている。後者は、OAM用のSAR通信バッファと軽量スイッチング・サポートとして使用される。

1024以下の同時VCのリッジにおいてATMリア

センブリを行うには専用のATM化装置が使用される。パケットが再アセンブルされると、前記LUEが入って来る最初のセルにスヌープ(snoop)して、もしも、それが中継されたPDU(前記ソースMACが、自動的にルート・サーバとなる)である場合には、宛先MACアドレスを提供する。このMACがリアセンブラによってパケットにアペンドされ、送信コントローラによって迅速にインサートされる。

セルは、ATM装置間セル・リンクを使用して、前記リアセンブラからセグメンタへと送ることができる。これはループバック検査に有効である。

前記セグメンタとリアセンブラRAMとは機能的に類似しており、ATM環境とLAN環境との間の中間CS-PDUバッファリングを提供する。前記セグメ

ンタは、4つのポート、即ち、AXE第2バス、Quad MAC（AXE主バス）、前記送信コントローラ及びセグメンタを有する。前記リアセンブラメモリは、3つのポート、即ち、前記送信コントローラ、と前記リアセンブラの主及び第2バスとを有している。共にそのサイズは512Kバイトである。

各RAMシステムは、類似の調停（アービトレーショ

コピーしなければならない。

他の方向において、送信コントローラは、ローカル・メッセージと、ホストを宛先とするMACアドレス化されたトラフィックとを、パケットに予めフラッグを付けておくことによって区別する。ホスト・コントローラは、その内蔵DMAコントローラを使用して、そのQMAC-エミュレーションFIFOとのデータの移動を行う。

バッファ・ポインタがリッジATM化装置間でパスされる時、そのサービスに対する要求を示すために単純な割り込みフラグを使用する。同時に、2CPC on d” 入力セットされ、これによって、単一のR3000分岐命令によって、一つのサイクルで効果的にポーリングとフラッグの方向付けとを行うことができる。

セグメンタは、データ・バッファの到着を示す割り込み信号をAXEから受け取る。

TXCは、データ・バッファの到着を示す割り込み信号をセグメンタとリアセンブラから受け取る。

セグメンタとリアセンブラは、そのメモリ・キューをサーブするために互いに割り込みを行う。

セグメンタとリアセンブラとは、軽量スイッチング及びATM OAM等の双方向プロトコル用の直接通信パスを必要とする。これは、小型のメモリと、互いに割り

込む能力とによって提供される。

4つのプロセッサが前記リッジの周りでデータを移動させる場合、バッファ・

ポインタをパッシングしフリーのポインタをリターンする最適化スキームが必須である。セグメンタ及びリアセンブラメモリのマルチポート化によって、実際のデータのコピーは不要である。単純性と低コストのためには、バッファ・ポインタはデータと同じ伝送路においてマルチポート化メモリを通過される。バッファのリターンにおける複雑化を避けるためには、これらを図10に示すように一方向にパッシングさせる。

A X Eによって受け取られたパケットは、A T Mネットワーク宛であるか否かを問わず、セグメンタに転送される。ローカル・トラフィックの場合、セグメンタは、パケットを送信コントローラに再キューイングし、これは、リターンされたフリー・バッファ・リストが単一のプロセッサによって管理されることを意味している。これによって再エントランスの問題を避け、全体のバッファ・マネージメントが単純化される。

リアセンブラによって受け取られたデータ・バッファは、単純に、イーサネット伝送用に送信コントローラに

R I S CベースDMA。リッジデータを高速で移動させる能力、フィールドを修正し、キューのマネージメント、きわめて高速でコスト的に有利なR I S Cソリューションへのコール。開発プロセスをストリームライン化（合理化）し、高度に最適化された統合ソリューションを利用するために、リッジは、高速なデータ処理を行うために非A T Mアプリケーションにおいて2つのA T M化装置を再使用する。

高速のA T Mポート。伝送媒体を介したA T Mスイッチへの接続（スタンドアロン・リッジ）又は、適当なb a c k p l a n eインターフェースへの接続（36150スイッチのS t e a l t h）。物理媒体とフレーミング構成についてはまだ活発に議論が行われているので、この機能用には交換可能（スワップ可能）P H Yモジュールを使用する。

ネットワークマネージメント、診断、環境設定構成、及び全体の管理のためのハウスキーピングプロセッサとしては比較的低速度のプロセッサが必要である。一実施例において、これはクロック速度が25MHzのモトローラ社製6834

9 マイクロプロセッサである。

次に、本発明の別態様を図15ないし18を参照して説明する。

図15において、前記ATM接続デジタル・コンピュータとレガシーLANアダプタ100、101とを使用して、レガシー・イーサネットLANと、デジタル・コンピュータとを前記ATMスイッチング・ファブリック102にインターフェースする。前記ATMスイッチング・ファブリックは、単数又は複数のATMスイッチ103から構成できる。この環境設定は、種々の端末ユニット間に於てLANデータ・トラフィックを伝送するのに使用する。しかし、保証帯域幅(BW)、トラフィック・マネージメント、等のATMの利点は、前記レガシーLANアダプタを越えて前記レガシーLAN接続(例えばイーサネット)デジタル・コンピュータに及ぶことはない。従って、前記レガシーLAN環境においてメタレベルのアクセス制御メカニズムを使用しない限り、衝突検出モードを備えた従来式のキャリア・センス・マルチプル・アクセス(CSMA/CD)において、直接接続されたATMコンポーネント(例えば、デジタル・コンピュータ)において可能なすべてのサービスを提供するためにイーサネットを使用することは不可能である。

ATM接続レガシーLANアダプタを介して前記ATMスイッチング・ファブリックにインターフェースされたイーサネット接続端末ステーションにATMサービスを

提供するには、接続されたすべての端末ステーションからのイーサネットLANに対するアクセスを決定論的に制御し、ATM Q.2931シグナリングをイーサネット端末ステーションに延長する、接続、シグナリング、及び帯域幅マネージメントメカニズムが提供されることが必要である。

次に、前記端末装置の一具体例としてデジタル・コンピュータを使用して、ATMの全サービスのイーサネット接続端末装置への提供について説明する。

図15は、イーサネット接続デジタル・コンピュータ101と、ATM-接続デジタル・コンピュータ100との相互接続システムの典型例を図示している。

図16において、ATMサービスの前記イーサネット接続コンシューマは、それぞれ101a, 101b, 101c, 101dで示す「アプリケーション」、「ATM API」、「802.3ドライバ」及び「802.3インターフェース」から成る4つの層を有しているブロックとして図示されており、これらはそれぞれ、イーサネット・バックボーン104に接続され、更に、このイーサネット・バックボーンは、下記に詳述するように仮想ATMスイッチ105によってATMスイッチ103に接続されている。

前記「アプリケーション」層101aは、アプリケーションを略して示すものであり、これは、ATMサービスをこのアプリケーションに拡張するのに使用されるATMアプリケーション・プログラム・インターフェース(API)上に積層されている。

前記「ATM API」層101bは、この図に於いては「802.3ドライバ」である下層のプロバイダによって、APIサービスを上層のコンシューマに提供するコンポーネントを略して表している。このAPIによって提供される典型的なサービスとしては、アプリケーション特定ATMアドレスに対応のATM端末ポイントへの接続を要求するのに使用される「atmConnectReq」、前に設定された接続を介して、サービス・データ・ユニット(SDU)をATM端末ポイントに伝送するのに使用される「atmTx」、そして、前に設定された接続を介して一つのATM端末ポイントからSDUを受け取るのに使用される「atmRx」等がある。図17の天頂部は、これらの構造を略示している。

前記「802.3ドライバ」101c層は、SDUをATMセル・フォーマットに変換し、ATM接続マネジメント、帯域幅マネジメント、及びシグナリングを

仮想ATMスイッチ105への仮想ポート拡張部として使用することによって、イーサネット接続端末ステーションにまで拡張される。図16において接続されているその他のいずれかのエンドステーションとのATMメッセージの交換を希望

するイーサネット・ホストは、前記ATM仮想スイッチへ伝送されるセルを転送し、この仮想スイッチは、これらのセルを適当なATMリンクに転送する。ここで重要なことは、これらのセルが伝送されるATM端末ステーションが、そのセルの発生源と同じイーサネット・セグメント上にある場合においても、これらのセルは、仮想ATMスイッチに先ず転送されるということである。

前記仮想スイッチ105の下層部105bは、上述したようにリッジによって提供可能である。

前記イーサネットLANへの決定論的アクセスを確保するために、前記仮想ATMスイッチ以外のいずれのステーションも、仮想ATMスイッチからマネジメント指示フレームを受け取るまでは前記LANセグメント上においていかなるデータも送信することが出来ない。前記マネジメント指示フレームは、そのイーサネット接続端末ステーションがどの仮想チャンネル接続(VCC)で伝送出来るかを特定する情報を含んでいる。更に、仮

想ATMスイッチが前記マネジメント指示フレームを発生する場合、この仮想ATMスイッチは、初期化された時に、前記VCCに関連付けられた帯域幅パラメータに依って、当該スイッチから前記イーサネット接続端末ステーションに伝送されるべきデータを測定する。

図16は、ATMサービスを使用する前記イーサネット接続端末ステーションにおいて前述した複数の層の関連内部特徴構成を略示している。この図の右半分側は、参照の目的のためのこれらの層を線によって示している。イーサネット接続端末ステーションにおいてATMサービスを利用するために開発されたアプリケーションは、ATM APIの上方に図示したインターフェース・ポイントを使用する。ATM APIは、図示し前述したサービス・インターフェースの全部を示すものではない(not exhaustive)。代表的なサブセットが図示されている。図17は、SDUからイーサネット・フレームへのATMセルへのデータの流れを示している。マネジメント・フレーム(表示)のデータ・フローも図示されている。

図17は、図16の仮想ATMスイッチ105の主要部分を示している。

図18は、ATMサービスを希望するイーサネット接

続端末ステーションへ拡張されるサービスである、集中帯域幅、コール・セットアップ、及びシグナリング機能を示している。この図は、更に、前記コール・スイッチング・データ・パス、いかに、代理（仮想的に拡張された）サービスが、前記ATM Mgmt. &シグナリング・ブロックを介してイーサネット接続端末ステーションに拡張されるか、も示している。

用語集

802.1(d) 透過スパニング・ツリー

これは、MACブリッジのネットワークに於ける、ルート選択、ループ検出及び回避のためのIEEE標準プロトコルである。

802.2 論理リンク制御

これは、ローカル・エリア・ネットワークのデータ・リンク層のためのIEEE標準である。ISO 8802/2.とも呼ばれる。

802.3 CSMA/CD LAN

これはイーサネットとほぼ同じIEEE標準LANである。これは、アクセス制御のためにCSMA/CDを

使用するバスである。ISO 8802/3としても標準化されている。

ATM適応(adaptation)層

非ATM情報とATMセルとの間の双方向変換に使用されるプロトコル。

CPS (制御パケット交換システム)

装置間の通信用のネットワーク・プロトコル。CPSは、ネットワーク・エレメントとネットワーク・マネージメント・エンティティ間で制御及びステータス情報を伝送するのに使用される無接続パケット交換プロトコルである。

CRC (巡回冗長検査)

フレーム検査シーケンスの一種。

イーサネット

70年代後半に、ゼロックス社PARCにおいて開発されたCSMA/CDロ

ーカル・エリア・ネットワーク。IEEEによって802.3として標準化されたLANとほとんど同じ。

FCS（フレーム・チェック・シーケンス）

データパケットの伝送中のエラーを検出するのに使用するチェックサム・ルーチン。

FDDI（分散型ファイバ回線データ・インターフェース）

ANSI標準100Mビット／秒のローカル・エリア・ネットワーク。そのトポロジはリングであり、アクセス制御にトークン・パッシングを使用する。

HDL C（ハイレベル・データ・リンク制御）

情報フレームにアドレス、制御及びフレーム・チェック・シーケンス・フィールドを提供するビット指向（bit-oriented）プロトコルの一群。

LAN（ローカル・エリア・ネットワーク）

地理的に限定された領域（通常、1マイル程度）において複数の計算装置間を相互接続するように構築されたシステム。

LUE（ルックアップ・エンジン）

ハードウェア・テーブル検索機。

MAC（メディア・アクセス制御）

ISOリファレンス・モデルに記載されているデータ・リンク層の下部サブレイヤ。MAC層の目的は、物理媒体を介する信頼性の高いデータ伝送メカニズムを提供することにある。

NIC（ネットワーク・インターフェース・カード）

例えば、LAN又はATM等のネットワークに対する接続性を提供するために、通常はユーザによってワークステーション又はパーソナル・コンピュータに追加可能なアダプタ・ボード。

OAM Cell（オペレーション・アンド・メンテナンス・セル）

特殊なタグが付けられたATMセル（例えば、ヘッダが、ユーザ・データATMセル用のヘッダと異なっている）。OAMセルは、接続性検証、アラーム・サ

ーベランス、連続性チェック、及びパフォーマンス・モニタリング等のATMネットワーク・メンテナンス・フィーチャをサポートするために特殊化される。

OSPF（オープン最短経路ファースト）

IPネットワークにおいて経路決定に使用されるIETF標準リンク状態経路決定プロトコル。

PVC（固定接続型仮想チャンネル）

管理操作によって設定される、仮想チャンネル又は仮想経路種のエンド・ツー・エンド論理ATM接続。

SNMP（シンプル・ネットワーク・マネージメント・プロトコル）

TPC/IPローカル・エリア・ネットワーク中のエンティティのマネージメントのための標準。オリジナル（SNMP v 1と呼ばれる）と、新拡張バージョン（SNMP v 2と呼ばれる）との二つのバージョンがある。

SAR（セグメント化及びリアセンブリ）

非ATMオフロードペイロードをATMセルに分解（セグメント化）し、ATMセルを、その回路の元のフォーマットに再構成する（リアセンブリ）プロセス。

SAC（交換型仮想チャンネル）

シグナリングによって設定される仮想チャンネル。

TCP（転送制御プロトコル）

TCP/IPプロトコル組用の層（およそ）プロトコル。RFC 793に定義されている。

TXC

転送コントローラ。イーサネット転送用のリッジRISCコンプレックス。

UNI（ユーザネットワーク・インターフェース）

ATMユーザとATMネットワークとの間のインターフェース。

VC（仮想チャンネル）

ATMセルのシーケンシャル単方向転送を行う通信チャンネル。

VCC（仮想チャンネル接続）

エンド・ツー・エンドシグニフィカンスを有し、A T MサービスのユーザがA T M層にアクセスするポイント間

に延出する仮想チャンネル・リンクの連鎖。A T Mセルのペイロードが、そこへ送られるポイント、又は、そこから受け取られ、かつ、処理のためにA T M層を使用するユーザは、V C Cのエンド・ポイントを示す。

V C I

仮想回路識別子。A T M接続を識別するのに使用する16ビットのアドレス。

V P

仮想パス。V C間の論理関係又はバンドル。

V P I (仮想パス接続)

A T M経路を識別するのに使用され、セル・ヘッダに含まれる8ビット値。V C Iと同様、これは、加入者側においてシグニフィカンスを有し、l a r g e s c o p e V P CであるローカルU N Iに対してアクティブなV P Lを参照する。

W A N (ワイド・エリア・ネットワーク)

一つのキャンパス内において複数のコンピュータ間を相互接続するように構成されたシステム。

請求の範囲：

1. 複数のA T Mスイッチを介してA T Mセルを伝送するA T Mネットワークと、前記システムに接続され、かつ、少なくともその内の一部が単数又は複数のローカル・エリア・ネットワーク(L A N)を介した前記A T Mネットワークへの接続用のL A Nインターフェース・アダプタを備えた複数のユーザ側装置と、前記A T Mネットワークと前記ユーザ側装置との間のインターフェース手段とを有し、前記A T Mネットワークと前記L A Nに接続された前記ユーザ側装置との間の前記インターフェース手段が、前記A T Mセルを前記L A Nを介した前記ユーザ側装置への伝送用に適合可能なものにおいて、前記A T Mネットワークに接続された集中ルート・サーバが、前記システムに接続された前記ユーザ側装置の

位置に関するアドレス・データを格納し、前記集中ルート・サーバが、前記ATMネットワークを介して前記インターフェース手段とデータを交換して、前記ユーザ側装置の位置を学習し、かつ、前記システムに接続された一つのユーザ側装置と、該システムに接続された別のユーザ装置との間に、オンデマンドで直接透過的通信を設定することを許容することを特徴とするコンピュータ通信システム。

2. 請求項1のコンピュータ通信システムであって、前記インターフェース手段は、前記ユーザ側装置が前記ATMネットワークに直接接続されたユーザ側装置と通信可能とするべく、前記ATMセルを前記ユーザ側装置のLANインターフェース・アダプタへ直接に伝送するために前記LANフレーム中にカプセル化する手段である。

3. 請求項2のコンピュータ通信システムであって、前記LANインターフェース・アダプタは、イーサネット・アダプタであって、前記カプセル化手段は、前記ATMセルを、前記イーサネット・アダプタに伝送するべく、イーサネット・フレーム中にてカプセル化する。

4. 請求項1のコンピュータ通信システムであって、前記インターフェース手段は、前記システムに接続された前記全ユーザ側装置間の透過通信を許容するため、ブリッジング、ネットワーク層転送及びLANエミュレーション機能を提供する。

5. 請求項1のコンピュータ通信システムであって、更に、前記インターフェース手段の遠隔モニタを許容するためのモニタ手段を有し、該遠隔モニタ手段が、被モニタ・ポートから遠隔モニタ・ポートへの、エラ

ーを含むデータを、前記遠隔モニタ・ポートにおける前記被モニタ・ポートからのデータを複製するべく伝送し、これによって、前記被モニタ・ポートにおいてあたかも現場におけるようなテストを行うことを可能に構成されている。

6. 請求項5のコンピュータ通信システムであって、更に、モニタ・パケットにタグを付けて、これらのパケットが、前記受信インターフェース手段によって

正常に受け取られたパケットとして扱われることを防止する手段を有している。

7. 請求項3のコンピュータ通信システムであって、更に、前記インターフェース手段と前記ユーザ側装置との間でマネージメント情報フレームを交換する手段を有し、これによって、このマネージメント情報フレームが前記インターフェース手段に戻される前に、該マネージメント情報フレームを受け取った装置によって一定量のデータが送られ、その後、この装置が、前記マネージメント情報フレームをパスする前に、一定量のデータを送り出す。

8. 請求項1のコンピュータ通信システムであって、前記インターフェース手段は、それぞれそれぞれのローカル・エリア・ネットワーク・アダプタへの接続用

の複数のポートと、これらのポートの内の一つにおいて入力LANフレームを受け取るための手段と、出力ATMセルを作るためのATMセグメント化手段と、前記ATMネットワークを介して前記出力ATMセルを伝送する手段と、前記ATMネットワークから入力ATMセルを受け取るための手段と、入力ATMセルからLANフレームを再アセンブルするためのリアセンブル手段と、出力LANフレームを選択された前記ポートに伝送するためのフレーム・キューイング伝送手段とを有している。

9. 請求項8のコンピュータ通信システムであって、更に、前記LAN受取手段からのローカルLANトラフィックを、前記LANフレーム・キューイング伝送手段に向けるためのバイパス手段を有している。

10. 請求項8の装置であって、入力LANフレームを受け取る前記手段は、入力LANフレームをバッファするためのバッファ手段を有し、このバッファ手段が、入力LANフレーム中のMACヘッダを読み取るための手段と、セグメント化のために準備されるLANフレームを格納するシェアードセグメント化RAMと、前記フレームの前記バッファ手段から前記セグメント化RAMへの伝送を開始する伝送エンジンとを有して

いる。

11. 請求項10のコンピュータ通信システムであって、前記バッファ手段は、メディア・アクセス・コントローラ(MAC)に内蔵されている。

12. 請求項10のコンピュータ通信システムであって、前記フレーム・キューイング伝送手段は、更に、シェアード・リアセンブラRAMと、前記選択された出力ポートに関連付けられた独立したバッファとを有している。

13. 請求項10のコンピュータ通信システムであって、前記バッファ手段は前記ATMセグメント化手段に対してnビット幅のバスでデータを出力し、前記装置は、更に、前記バッファ手段と前記ATMセグメント化手段との間のDMAパッケージ伝送を確実にするためのトランスレーション・エンジンを持っている。

14. 請求項10の装置であって、前記トランスレーション・エンジンは、入力LANパッケージを廃棄、ブリッジング又はネットワーク層転送するための手段と、前記パッケージをATM層適合用にカプセル化するための手段と、仮想チャンネルを前記ATMネットワークを通じてセットアップするための手段とを有する。

15. 請求項14のコンピュータ通信システム装置であ

って、前記トランスレーションは、RISCプロセッサである。

16. 請求項15のコンピュータ通信システムであって、前記セグメント化手段は、ATM化装置と、その主要バス上のセグメント化RAMと、第2バス上の高速ポインタ・メモリと、前記リアセンブリ手段へのシェアード・メモリとを有している。

17. 請求項8のコンピュータ通信システム装置であって、ポート・アベイラビリティがハードウェア信号から導かれるビット・マスクとして提供され、データ・アベイラビリティがパッケージ・アドレス中のビット・マスクとして表される。

18. 請求項17のコンピュータ通信システムであって、更に、現在のキューがサービス不能である時に、次に高いプライオリティを有するポートをリターンするためのラウンド・ロビン式プライオリティを備えたプライオリティ・エンコーダを有している。

19. 請求項1のコンピュータ通信システムであって、更に、集中OAMリソースを有し、OAMセルが、ATMスイッチにおいてATMセル・ストリームから

取り出され、前記A T Mネットワークを介して前記集中O A Mリソースへ向けられて処理される。

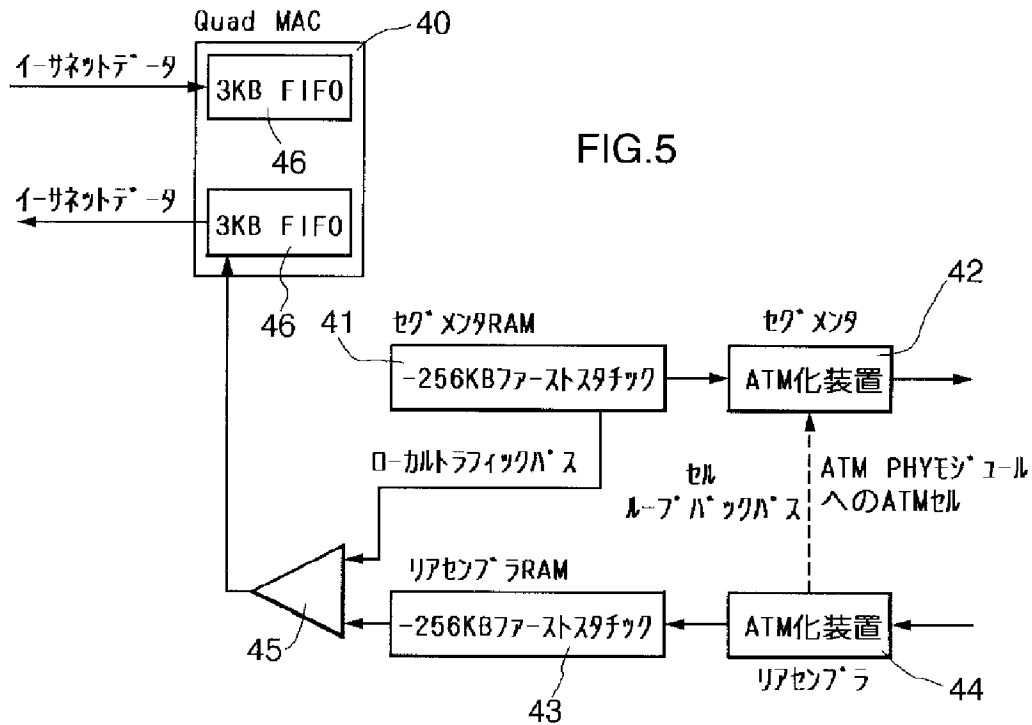
20. 請求項1のコンピュータ通信システムであって、前記A T Mスイッチにおける各ポートが、R A Mと、前記A T Mストリームに合流する制御セルを解釈して、入力及び出力接続の環境設定を行い、ステータス要求に対してレスポンスを送るハードウェア・プロセッシング・エンジンとを有する。

21. 請求項8のコンピュータ通信システムであって、前記リアセンブリ手段は、入力第1セルをスヌーピングし、これから宛先M A Cアドレスを導出するための手段と、前記導出されたアドレスを出力フレームにアペンドするための手段とを有する。

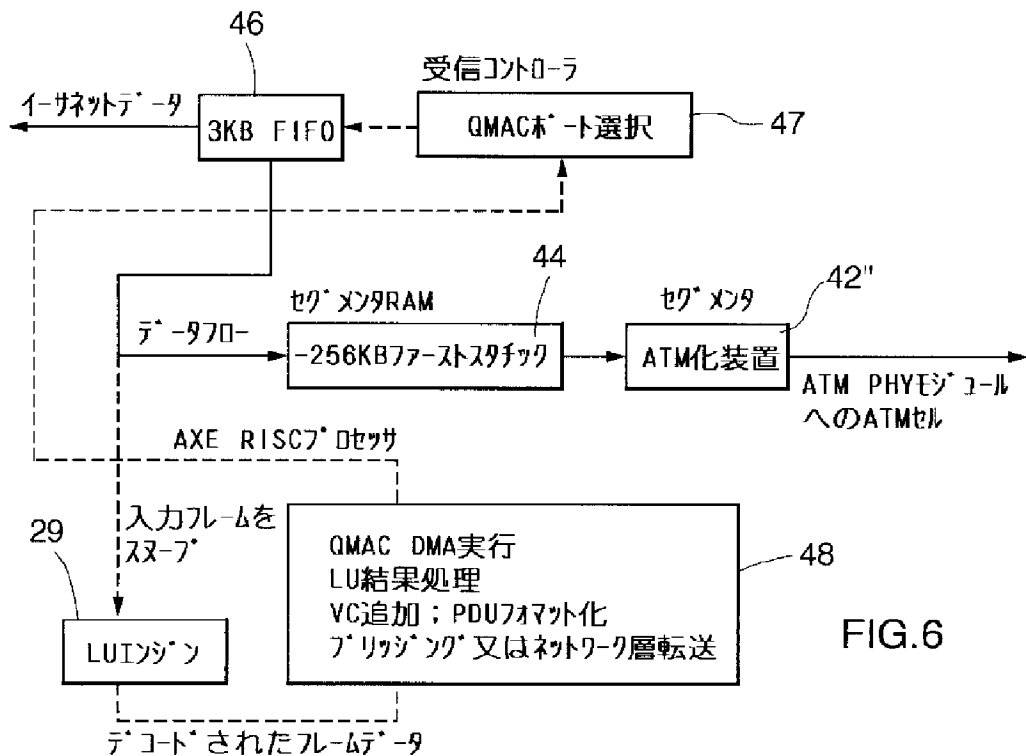
22. 請求項8のコンピュータ通信システムであって、前記セグメント化手段は、入力フレームをスヌープし、データを該セグメント化手段に転送するためのルックアップ・エンジンを有している。

23. 請求項1のコンピュータ通信システムであって、前記ルート・サーバは、更に、システム・アドミニストレータによって設定されたルールに従って、参入許可制御を行う。

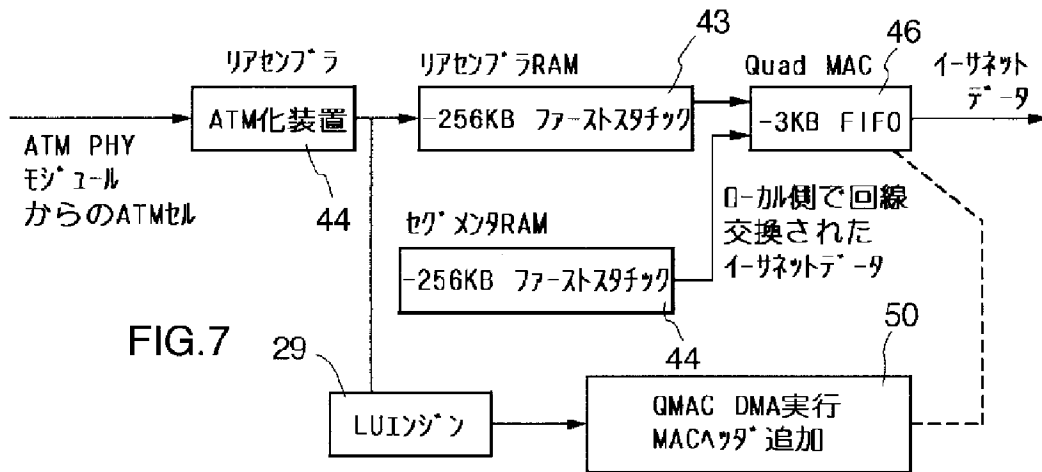
【図5】



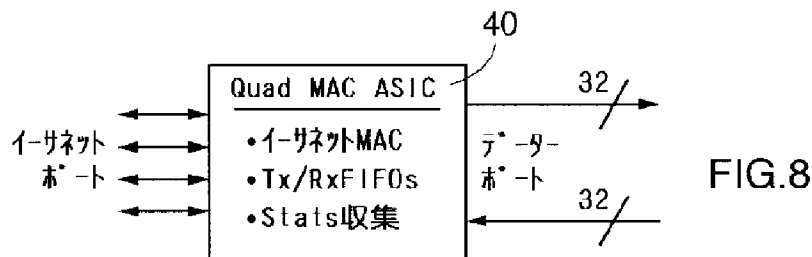
【図6】



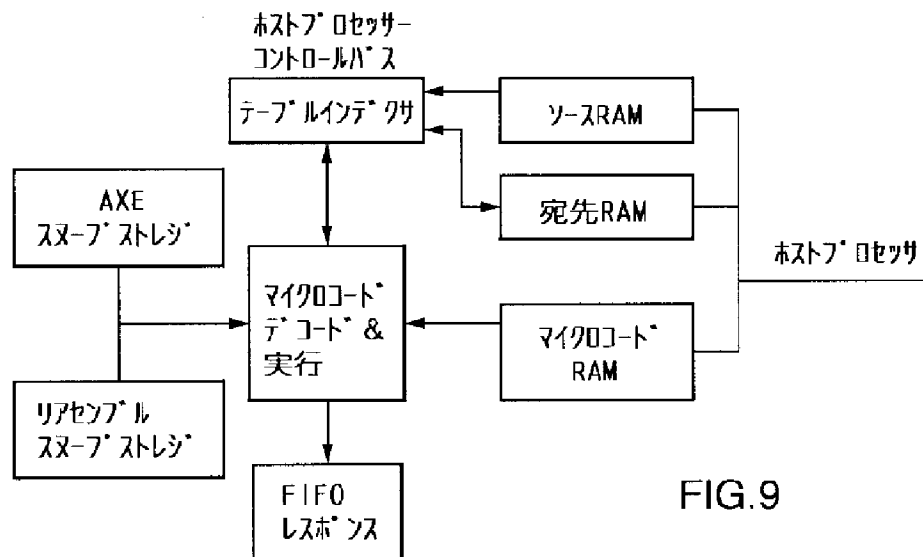
【図7】



【図8】



【図9】



【図10】

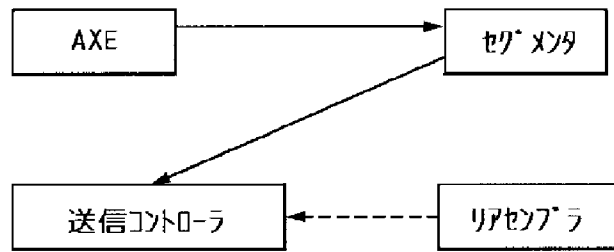


FIG.10

【図11】

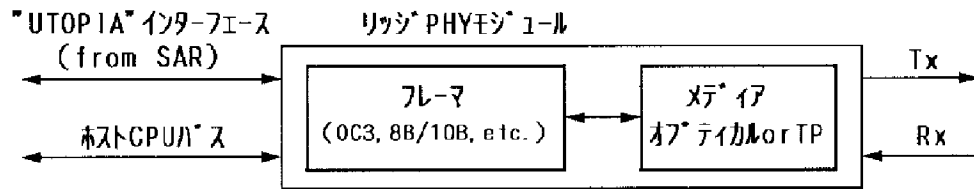


FIG.11

【図12】

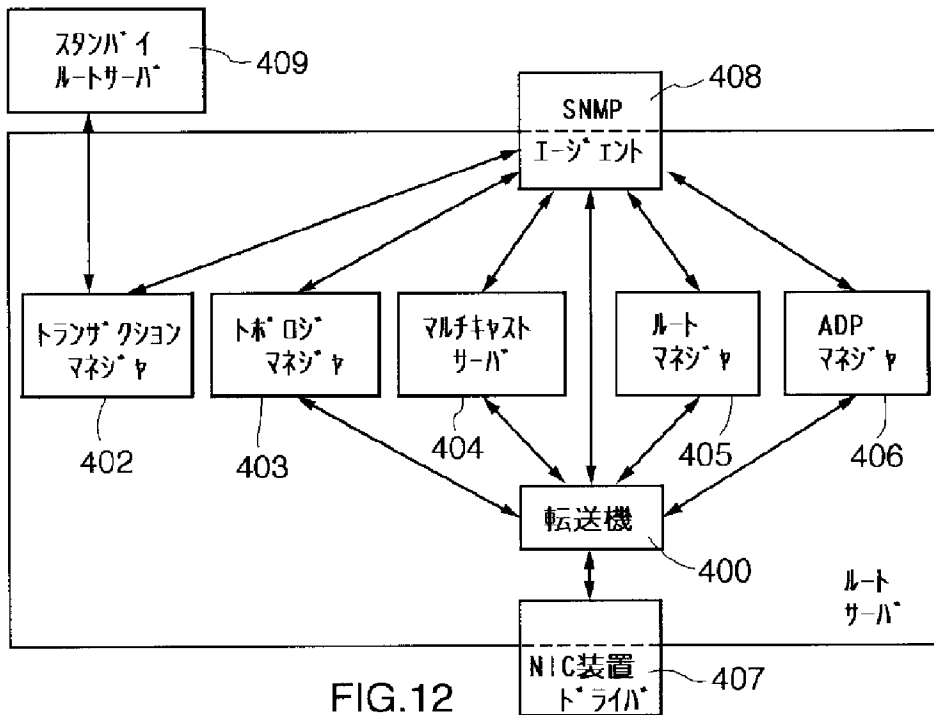


FIG.12

【国際調査報告】

INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H04L12/46 H04Q11/04		Intern. Appl. Application No. PCT/CA 95/00029
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H04L H04Q		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO,A,93 26107 (WASHINGTON UNIVERSITY) 23 December 1993 see page 2 - page 3; claims 1-4 see page 7, line 9 - line 28 ---	1-6, 10-13, 21,22
X	EP,A,0 524 316 (FUJITSU LIMITED) 27 January 1993 see column 4, line 35 - column 6, line 24 ---	1,6,10
X	EP,A,0 473 066 (MITSUBISHI DENKI KABUSHIKI KAISHA) 4 March 1992 see column 1, line 37 - column 2, line 3 see column 3, line 9 - line 50; claim 1; figure 9 --- -/--	1,10-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 20 April 1995		Date of mailing of the international search report 0 4. 05. 95
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentaan 2 NL - 2240 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Veen, G

INTERNATIONAL SEARCH REPORT

Intern. Appl. No.
PCT/CA 95/00029

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>PATENT ABSTRACTS OF JAPAN vol. 18 no. 38 (E-1495) ,20 January 1994 & JP,A,05 268256 (FUJITSU LTD) 15 October 1993, see abstract</p> <p>-----</p>	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern. Appl. Application No.

PCT/CA 95/00029

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO-A-9326107	23-12-93	AU-B- 4527793	04-01-94
EP-A-524316	27-01-93	AU-A- 1220892	07-09-92
		CA-A- 2079484	01-08-92
		WO-A- 9214321	20-08-92
EP-A-473066	04-03-92	JP-A- 4107029	08-04-92
		US-A- 5329527	12-07-94

 フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, US, UZ, VN

(72)発明者 クーマー, デイヴ
カナダ国 オンタリオ ケイ2エイチ 5
イー8 ネビーン ホーナー・ドライブ
35

(72)発明者 ダックスベリー, トム
カナダ国 オンタリオ ケイ0エイ 1
イ0 ダンロビン ベリー・サイド・ロード
530

(72)発明者 ベーキ, ナタン
カナダ国 オンタリオ ケイ2ジー 0エ
ム7 ネビーン ムーアクロフト・ロード
40

(72)発明者 ギャルウェイ, キース
カナダ国 オンタリオ ケイ4エム 1ジ
ー3 マノティック ブラヴァー・ドライ
ブ 1092

(72)発明者 ワット, ジェイムズ
カナダ国 オンタリオ ケイ2ケイ 2ビ
ー6 カナタ テロン・ロード 1003-
960

(72)発明者 グレンディニング, ダンカン
カナダ国 オンタリオ ケイ2エル 3エ
イ5 カナタ タンブリン・クレッセント
21

(72)発明者 ズィウッキー, ユージン
カナダ国 オンタリオ ケイ2ジー 4ジ
ー5 ネビーン アーデル・グローヴ 9